

HABILITATION A DIRIGER DES RECHERCHES

Université Côte d'Azur

ECOLE DOCTORALE
SCIENCES FONDAMENTALES ET APPLIQUEES

CONCEPTION DE SYSTEMES ET CIRCUITS
INTEGRES SOBRES POUR L'IoT ET L'IA
EMBARQUEE

Spécialité : Electronique
Section 63 : Génie électrique, électronique, photonique et systèmes

Présentée et soutenue publiquement par

Yoann CHARLON

REMERCIEMENTS

LISTE DES SIGLES ET ACRONYMES

Sigle	Définition
AC/DC	Alternating Current / Direct Current
ACM	Architectures des Circuits Microélectroniques
AISEM	Architecture et Ingénierie des Systèmes Électroniques et Microélectroniques
ANR	Agence nationale de la recherche
AOP	Amplificateur opérationnel
BLE	Bluetooth Low Energy
BP	Back-Propagation
BOX	Buried Oxide
CAN	Convertisseur analogique-numérique
CDR	Clock and Data Recovery
CCS	Conception de Circuits et Systèmes
CLM	Channel Length Modulation
CMOS	Complementary Metal-Oxide-Semiconductor
CoPil	Comité de pilotage
Cpk	Process Capability Index
CUSUM	Cumulative Sum
DAC	Digital-to-Analog Converter
DC	Direct Current / Régime continu
DFF	D Flip-Flop
DIBL	Drain-Induced Barrier Lowering
DTCXO	Digitally Temperature-Compensated Crystal Oscillator
DUT	Diplôme universitaire de technologie
EEA	Électronique, Énergie électrique et Automatique
ELSE	Électronique et Systèmes Embarqués
ENOB	Effective Number of Bits
EPOC	Électronique pour objets connectés
ESR	Equivalent Series Resistance
ETSA	Électronique, Traitement du Signal et Automatique
FBB	Forward Body Bias
FDSOI	Fully Depleted Silicon-on-Insulator
FF	Fast-Fast
FFT	Fast Fourier Transform
FISA	Formation Initiale sous Statut Apprenti
FISE	Formation Initiale sous Statut Étudiant
GA	Genetic Algorithm
GEII	Génie électrique et informatique industrielle
GPIO	General-Purpose Input/Output
HD	High Drive
HDR	Habilitation à Diriger les Recherches
IA	Intelligence artificielle
ILCDR	Injection-Locked Clock and Data Recovery
ILO	Injection-Locked Oscillator
I/O	Input/Output
IoT	Internet of Things
LD	Low Drive
LDD	Lightly Doped Drain
LGA	Land Grid Array
LSB	Least Significant Bit
LVT	Low Voltage Threshold
MEMS	Micro-Electro-Mechanical Systems

MHD	Medium High Drive
MLD	Medium Low Drive
MLP	Multi-Layer Perceptron
MOS	Metal-Oxide-Semiconductor
MSB	Most Significant Bit
NIALM	Non-Intrusive Appliance Load Monitoring
NMOS	Transistor MOS à canal n
NRZ	Non-Return-to-Zero
OTA	Operational Transconductance Amplifier
PCB	Printed Circuit Board
PDK	Process Design Kit
PEIP	Parcours des écoles d'ingénieurs Polytech
PHY	Physical Layer
PIR	Passive InfraRed
PLL	Phase-Locked Loop
PMOS	Transistor MOS à canal p
PRBS7	Pseudo-Random Binary Sequence 7
PWM	Pulse-Width Modulation
PVT	Process, Voltage, Temperature
QFP	Quad Flat Package
QRO	Quadrature Ring Oscillator
RBB	Reverse Body Bias
RDF	Random Dopant Fluctuation
REDD	Reference Energy Disaggregation Data Set
RF	Radiofréquence
RMS	Root Mean Square
RNA	Réseau de neurones artificiels
RNAA	Réseau de neurones artificiels analogique
RTC	Real-Time Clock
RVT	Regular Voltage Threshold
RZ	Return-to-Zero
SCE	Short-Channel Effects
SE	Systèmes embarqués
SerDes	Serializer/Deserializer
SiP	System-in-Package
SNR	Signal-to-Noise Ratio
SS	Slow-Slow
TCXO	Temperature-Compensated Crystal Oscillator
THD	Total Harmonic Distortion
TSNR	Total Signal-to-Noise Ratio
TT	Typical-Typical
UI	Unit Interval
ULD	Ultra-Low Drive
US	Ultrasons
UTBB-FDSOI	Ultra-Thin Body and Buried Oxide Fully Depleted Silicon-on-Insulator
VCO	Voltage-Controlled Oscillator
VCQRO	Voltage-Controlled Quadrature Ring Oscillator
XO	Crystal Oscillator

SOMMAIRE

PREMIERE PARTIE : PRESENTATION GENERALE.....	1
1 PARCOURS ACADEMIQUE ET PROFESSIONNEL	2
1.1 Diplômes universitaires	2
1.2 Expériences professionnelles	2
1.3 Thèse de doctorat	2
1.4 Activités post-thèse.....	3
1.5 Description synthétique du poste de maître de conférences	3
1.6 Thèses co-encadrées	3
1.7 Stages ingénieurs / masters encadrés	4
1.8 Distinctions scientifiques	4
1.9 Synthèse de la production scientifique.....	5
1.10 Activités d'expertise pour la recherche	5
1.11 Synthèse des enseignements	5
1.12 Résumé des responsabilités pédagogiques et administratives	5
2 RESPONSABILITES PEDAGOGIQUES.....	6
2.1 Présentation de ma responsabilité de la mineure ACM	6
2.2 Présentation de mes responsabilités liées aux stages	7
3 ACTIVITES D'ENSEIGNEMENT	8
3.1 Pendant ma thèse : moniteur de 2010 à 2013.....	8
3.2 Pendant mon post-doctorat : vacataire de 2014 à 2017.....	8
3.3 Poste de maître de conférences : depuis 2017.....	8
3.4 Résumé des enseignements effectués depuis 2017	11
4 ENCADREMENT DE THESES	12
4.1 Thèses soutenues	12
4.2 Thèses en cours	12
5 ENCADREMENT DE STAGES	13
6 PUBLICATIONS PERSONNELLES	15
DEUXIEME PARTIE : ACTIVITES DE RECHERCHE.....	19
1 INTRODUCTION	20
2 ACTIVITES DE RECHERCHE DANS L'INDUSTRIE (2007-2010).....	22
2.1 Travaux de recherche avec la société Optomesures	22
2.2 Travaux de recherche avec la société Studelec.....	23
3 TRAVAUX DE RECHERCHE AU LAAS-CNRS (2010-2017).....	24
3.1 Contexte et objectifs	24
3.2 Travaux de thèse (2010-2014)	26
3.2.1 Conception d'un patch électronique	26
3.2.2 Conception d'un télémètre à ultrasons.....	30
3.2.3 Conception d'une semelle connectée.....	32
3.3 Travaux de post-doctorat (2014-2017)	35
3.3.1 Conception d'une version préindustrielle de la semelle connectée	35
3.3.2 Nouvelles méthodes de classification des activités de marche	39

3.3.3	Mise au point d'un système de mesure de la variation de poids via la semelle connectée.....	40
3.4	<i>Conclusion sur mes travaux effectués au LAAS-CNRS.....</i>	41
4	TRAVAUX DE RECHERCHE A POLYTECH'LAB (DEPUIS 2017)	42
4.1	<i>Conception de circuits intégrés analogiques et RF en technologie UTBB-FDSOI 28 nm.....</i>	42
4.1.1	Rappel sur la technologie UTBB-FDSOI	43
4.1.2	Limitations du transistor bulk	44
4.1.3	Améliorations apportées par le transistor UTBB-FDSOI.....	46
4.1.4	Rappels sur les dispersions et l'analyse de robustesse.....	52
4.2	<i>Conception d'un Clock and Data Recovery (CDR) en UTBB-FDSOI 28 nm.....</i>	53
4.2.1	Etat de l'art sur les systèmes CDR.....	53
4.2.2	Conception d'un inverseur complémentaire auto-calibré	59
4.2.3	Architecture et simulation d'un QRO complémentaire auto-calibré	64
4.2.4	Conception d'un oscillateur LC à résistance négative	65
4.2.5	Comparaison entre l'oscillateur LC et le QRO pour l'ILCDR	74
4.2.6	Architecture et simulation d'un ILO pour l'ILCDR	74
4.2.7	ILCDR : analyse temporelle, architecture et simulations	76
4.2.8	Comparaison avec d'autres travaux	84
4.2.9	Conclusion et perspectives sur les travaux liés à l'ILCDR.....	84
4.3	<i>Conception d'un réseau de neurones artificiels analogique utilisant la technologie UTBB-FDSOI 28 nm</i>	87
4.3.1	Contexte : réseaux de neurones et intérêt des implémentations analogiques... ..	87
4.3.2	Thèse de référence pour la mise en place d'un RNAA pour la classification binaire ...	88
4.3.3	Nouvelle architecture : poids numériques et multiplication par miroirs commutés	92
4.3.4	Discussion sur les grilles arrière croisées : efficacité selon les structures	96
4.3.5	Ouverture applicative : du cas Wisconsin vers le NIALM (edge AI).....	98
4.3.6	Conclusion et perspectives sur la conception d'un RNAA en UTBB-FDSOI 28 nm .	101
4.4	<i>Conclusion et perspectives sur les travaux de conception de circuits intégrés analogiques et RF en technologie UTBB-FDSOI 28 nm.....</i>	102
4.5	<i>Travaux de recherche sur l'étude des principes d'autoadaptation d'un oscillateur à quartz 32.768 kHz pour microcontrôleurs</i>	104
4.5.1	Contexte et objectifs industriels.....	104
4.5.2	Analyse théorique des oscillateurs à quartz	105
4.5.3	Proposition d'une nouvelle approche de modélisation pour l'intégration des capacités parasites dans un oscillateur à quartz basé sur l'architecture de Pierce	107
4.5.4	Conception d'un amplificateur à deux étages pour un oscillateur à quartz	110
4.5.5	Conception d'un oscillateur à quartz multi-références	114
4.6	<i>Calibration sur puce de la résistance de sortie d'un port USB 2.0</i>	122
4.7	<i>Travaux annexes sur les circuits analogiques et mixtes à temps discret.....</i>	126
5	CONCLUSION ET PERSPECTIVES.....	128
6	REFERENCES.....	130

Première partie : présentation générale

1 PARCOURS ACADEMIQUE ET PROFESSIONNEL

Nom patronymique : **CHARLON**

Prénoms : **Yoann, Vivien**

Date et lieu de naissance : 20/05/83 à Valence

Nationalité : française

Situation de famille : pacsé, 1 enfant

Situation actuelle : maître de conférences depuis 2017 (échelon 7)

Adresse personnelle : 524, boulevard de la Mourachonne, 06580 Pégomas

Unité d'enseignement	Unité de recherche
Polytech Nice Sophia - Université Côte d'Azur Spécialité Electronique et Systèmes Embarqués (ELSE) 930 route des Colles - 06410 Biot E-mail : ycharlon@unice.fr	Polytech'Lab Campus SophiaTech 930 route des Colles 06903 Sophia Antipolis Cedex Téléphone : 04 92 96 51 65

1.1 Diplômes universitaires

2002-2004 : DUT GEII (Génie Electrique et Informatique Industrielle), option CMS (Composants Montés en Surface), Université Joseph Fourier à Grenoble (38), mention : Assez Bien

2004-2007 : Master AISEM (Architecture et Ingénierie des Systèmes Electroniques et Microélectroniques), Université Paul Sabatier à Toulouse (31), mention : Bien

1.2 Expériences professionnelles

2007 - 2009 (18 mois) : Ingénieur de Recherche et Développement, Optomesures (31), conception de systèmes optoélectroniques

2009 - 2010 (18 mois) : Ingénieur de Recherche et Développement, Studelec (31), conception de systèmes électroniques embarqués pour l'aéronautique

1.3 Thèse de doctorat

2010 - 2014 : Thèse de doctorat « Conception de dispositifs électroniques portés pour le suivi de l'état de santé des personnes âgées », de l'Université Paul Sabatier en Génie Électrique, soutenue le 26 septembre 2014 au LAAS-CNRS et **obtenue avec les félicitations écrites du jury.**

Mentions attribuées par les rapporteurs :

- **Niveau scientifique** : Excellent (rapporteurs 1 et 2)
- **Présentation matérielle** : Exceptionnelle (rapporteur 1) et Excellente (rapporteur 2)

Prix de thèse : deuxième au prix de thèse de l'école doctorale GEET 2014 dans la section micro- et nano-systèmes

Directeur de thèse : Eric Campo (CNU-63), campo@laas.fr

Co-encadrant : Daniel Estève (CNU-63), décédé

Rapporteurs : Nadia Butterlin-Fillon (CNU-63), nadia.butterlin@univ-fcomte.fr

Laurent Billonnet (CNU-63), laurent.billonnet@unilim.fr

David Hewson (CNU-63), david.hewson@utt.fr

1.4 Activités post-thèse

2014 - 2017 : Post-doctorat au LAAS-CNRS, conception de systèmes embarqués pour la santé connectée et participation au montage des projets de recherche associés.

Depuis 2017 : Maître de conférences à l'Université Côte d'Azur, enseignement à Polytech Nice Sophia – Université Côte d'Azur, département Electronique et Systèmes Embarqués (ELSE), recherche au laboratoire Polytech'Lab.

1.5 Description synthétique du poste de maître de conférences

J'ai été recruté en septembre 2017 à Polytech Nice Sophia en tant que maître de conférences, avec une affectation au laboratoire Polytech'Lab.

Mon **service d'enseignement, d'environ 300 h ETD par an en moyenne depuis 2017**, est divisé de la manière suivante :

- environ 70 % dans la spécialité Electronique de Polytech Nice Sophia en 4^e et 5^e années ;
- environ 25 % dans la spécialité Electronique de l'Université de Xi'an en Chine en 2^e et 3^e années ;
- environ 5 % dans la spécialité Bâtiment Intelligent de Polytech Nice Sophia en 4^e année.

J'enseigne principalement dans **trois thématiques de l'électronique** :

- conception de circuits intégrés analogiques ;
- conception de systèmes embarqués ;
- capteurs et systèmes pour le bâtiment intelligent.

Mes principales **thématiques de recherche** sont les suivantes :

- conception de circuits intégrés analogiques pour l'IoT et l'IA embarquée ;
- conception de systèmes embarqués pour l'IoT (santé connectée).

Mes activités d'enseignement et de recherche se développent en synergie autour de thématiques communes. Depuis ma prise de poste à Polytech Nice Sophia, **je m'investis plus particulièrement dans la thématique de la conception de circuits intégrés analogiques, tant en enseignement qu'en recherche.**

1.6 Thèses co-encadrées

Etudiant	Co-encadrants	Taux d'encadrement	Période de thèse
Yuqing MAO	Gilles JACQUEMOD (Polytech'Lab)	70 %	Octobre 2020 à décembre 2023
Marine BRUN	Gilles JACQUEMOD (Polytech'Lab) Philippe LE FEVRE (STMicroelectronics)	30 %	Octobre 2022 à novembre 2025
Zhiwei MA	Gilles JACQUEMOD (Polytech'Lab) Erwin FRANQUET (Polytech'Lab)	70 %	Depuis octobre 2024
Damien BLANC	Gilles JACQUEMOD (Polytech'Lab) Isabelle CLAVERIE (STMicroelectronics)	30 %	Depuis octobre 2025

1.7 Stages ingénieurs / masters encadrés

Etudiant	Diplôme préparé par l'étudiant et sujet de stage	Date de soutenance
Julien CORNIER	Master, Systèmes Intelligents (UT3, Toulouse) Sujet : localisation « indoor »	Septembre 2012
Quoc TRUNG MAI	Ingénieur, Instrumentation Physique (INSA, Toulouse) Sujet : caractérisation de capteurs (semelle intelligente)	Septembre 2013
Imad BOURENNANE	Ingénieur, Electronique (INSA, Toulouse) Sujet : récupération d'énergie (semelle intelligente)	Septembre 2013
Xavier LACHENAL	Master Recherche, Systèmes Autonomes (U. Cergy) Sujet : algorithmes embarqués (semelle intelligente)	Septembre 2014
Elodie BOUZBIB	Master, Matériaux Avancés et Structures (Ecole Mines d'Albi) Sujet : intégration système (semelle intelligente)	Septembre 2015
Bastien BELLY	Ingénieur, Electronique (ENSEA, Cergy) Sujet : algorithmes embarqués (semelle intelligente)	Septembre 2016
Zhe ZHOU	Ingénieur, Bâtiment Intelligent (Polytech Nice Sophia) Sujet : conception d'un réseau de capteurs sans fil pour une meilleure maîtrise de l'énergie	Septembre 2018
Yuqing MAO	Ingénieur, Electronique (Polytech Nice Sophia) Sujet : conception d'oscillateurs en UTBB-FDSOI	Septembre 2020
Florian DEBIEU	Ingénieur, Electronique (Polytech Nice Sophia) Sujet : conception d'un oscillateur en anneau verrouillé par injection en UTBB-FDSOI	Septembre 2021
Zhiwei MA	Ingénieur, Electronique (Polytech Nice Sophia) Sujet : conception d'un circuit multiplieur pour un réseau de neurones artificiels en UTBB-FDSOI	Septembre 2024
Melek SAID	Ingénieur, Electronique (Polytech Nice Sophia) Sujet : participation à la conception d'une cellule de Gilbert pour un réseau de neurones artificiels en UTBB-FDSOI	Septembre 2025
Wissal EL FIGUIGUI	Ingénieur, Mathématiques Appliquées et Modélisation (Polytech Nice Sophia) Sujet : modélisation d'un réseau de neurones artificiels	Prévue en septembre 2026

1.8 Distinctions scientifiques

- **Deuxième au prix de thèse** de l'école doctorale GEET 2014 dans la section micro- et nano-systèmes
- **Student Awards :**
 - Y. Mao, Y. Charlon, Y. Leduc et G. Jacquemod, "LC tank oscillator based on new negative resistor in FDSOI technology", PRIME-LA/LASCAS, Quito, Ecuador, 2023, [Student Award: IEEE Circuits and Systems Society Student Travel Grants](#) (IEEE)
 - Z. Ma, G. Jacquemod et Y. Charlon, "New Multiplier and Input Layer in Current Mode for Analog Artificial Neural Networks," 2025 IEEE 16th Latin America Symposium on Circuits and Systems (LASCAS), Bento Gonçalves, Brazil, 2025, pp. 1-5, <https://doi.org/10.1109/LASCAS64004.2025.10966236> (IEEE ; Student Award non publié sur le site de la conférence depuis 2024)

1.9 Synthèse de la production scientifique

Type de publication	Nombre
Revue internationale à comité de lecture	14
Conférences internationales à comité de lecture et actes	15
Conférences invitées	9
Revue nationale à comité de lecture	1
Conférences nationales à comité de lecture et actes	8

1.10 Activités d'expertise pour la recherche

- [Topical Advisory Panel Member](#) pour la revue internationale « Journal of Low Power Electronics and Applications (JLPEA) »
- **Reviewer pour la conférence internationale** « IEEE International Symposium on Circuits and Systems ([ISCAS 2025](#)) »
- **Reviewer pour la revue internationale** « [Electronics](#) »
- **Participation au jury de 4 thèses françaises** : Xavier TOLZA 2020 (examineur), Yuqing MAO 2023 (co-encadrant), Ghazi BOUAZIZ 2024 (examineur), Marine Brun 2025 (co-encadrant)
- **Membre du comité de sélection** pour 2 postes de MCF section 63 : IUT de Blagnac/LAAS-CNRS (63MCF 0677) et Polytech Nice Sophia/LEAT (63MCF 260828)

1.11 Synthèse des enseignements

Période	Fonction	Cursus - Lieu	Volume annuel moyen (Eq TD)
2010-2013	Moniteur	EEA - Toulouse	64 h
2014-2017	Vacataire	INSA - Toulouse; IUT - Blagnac	108 h
Depuis 2017	Maître de Conférences	Polytech Nice Sophia ; Université de Xi'an en Chine	300 h

1.12 Résumé des responsabilités pédagogiques et administratives

Responsabilité	Période	Effectif moyen
Mineure CCS - Conception de Circuits et Systèmes	2020 à 2022	8 étudiants
Mineure ACM - Architectures des Circuits Microélectroniques	Depuis 2023	18 étudiants
Stage 3 ^e année ELSE	Depuis 2019	50 étudiants
Stage 4 ^e année ELSE	Depuis 2019	42 étudiants
Stage 5 ^e année ELSE	Depuis 2023	45 étudiants
Stage 4 ^e année ROBO	Depuis 2023	24 étudiants
Stage 5 ^e année ROBO	Depuis 2024	24 étudiants

- **Suivi pédagogique de stages et de contrats professionnels** : depuis 2017, j'assure chaque année le suivi de 5 à 10 étudiants du département ELSE, en stage ou en contrat professionnel. Ce suivi comprend des visites en entreprise à mi-parcours, ainsi que l'évaluation des rapports et des soutenances, avec un rythme semestriel pour les contrats professionnels.
- **Membre nommé du Comité de Pilotage (CoPil) du département disciplinaire Electronique, Traitement du Signal et Automatique (ETSA) d'Université Côte d'Azur**, en tant qu'enseignant-chercheur de Polytech Nice Sophia (section 63) : participation à la coordination des besoins de formation, à l'analyse des besoins d'enseignement, à l'évolution de l'offre de formation et à la définition des profils pédagogiques dans le cadre de la politique de recrutement.

2 RESPONSABILITES PEDAGOGIQUES

2.1 Présentation de ma responsabilité de la mineure ACM

Le département Electronique de Polytech Nice Sophia possède actuellement deux mineures permettant aux étudiants de dernière année du cycle d'ingénieur de se spécialiser dans un domaine de l'électronique : la microélectronique (CCS puis ACM) et les systèmes embarqués (SE).

J'ai pris la responsabilité de la mineure dédiée à la microélectronique, nommée CCS (Conception de Circuits et Systèmes), en 2020. L'objectif de cette mineure est de **former les étudiants aux métiers liés à la conception de circuits intégrés mixtes** (analogiques et numériques).

La gestion de la mineure implique la mise en œuvre du programme, son organisation et sa planification annuelle, notamment l'élaboration du planning ainsi que l'affectation des ressources humaines et matérielles. Il s'agit également de présenter la mineure aux étudiants de 4^e année, de suivre les inscriptions pédagogiques et de diffuser les documents d'information destinés aux étudiants et aux intervenants. Cette responsabilité implique également le contrôle de la conformité des évaluations, la participation aux conseils du département ainsi qu'aux événements institutionnels (journées portes ouvertes, remises de diplômes, forums de recrutement).

Lors de ma prise de responsabilité, cette mineure était en perte d'intérêt auprès des étudiants, avec une baisse progressive des effectifs : 9 étudiants en 2020-2021 (promotion de 54 étudiants), puis 7 étudiants en 2021-2022 (promotion de 44 étudiants) et fermeture de la mineure en 2022-2023, **malgré une forte demande du secteur, notamment à Sophia Antipolis**, où des entreprises comme NXP, STMicroelectronics ou ARM recherchent de jeunes ingénieurs.

Afin de comprendre le désintérêt des étudiants et d'adapter la mineure aux besoins des industriels, **j'ai initié** :

- **un sondage auprès des étudiants** de la spécialité Electronique et des anciens diplômés CCS travaillant en microélectronique ;
- **des réunions entre étudiants, industriels et enseignants.**

Ce travail a permis de proposer une nouvelle mineure dédiée à la microélectronique (ACM - Architectures des Circuits Microélectroniques), mieux adaptée aux attentes des étudiants et des industriels. En effet, le sondage a clairement montré que les matières enseignées en tronc commun en 3^e et 4^e années, notamment « Physique des semi-conducteurs » et « Composants actifs », étaient trop théoriques et difficiles à relier aux applications concrètes. Un ingénieur en conception de circuits intégrés doit connaître la théorie des semi-conducteurs, mais son travail consiste avant tout à utiliser des outils de conception comme Cadence pour réaliser et simuler des circuits. Ainsi, un **rééquilibrage des enseignements en 4^e année** a pu être mis en place afin de donner un aperçu aux étudiants du métier de concepteur de circuits intégrés et de mieux les préparer à la mineure ACM :

- réduction du volume horaire de « Physique des semi-conducteurs » et « Composants actifs » ;
- introduction de TP sur la conception de circuits intégrés avec Cadence.

De plus, une partie des cours dispensés en 5^e année dans la mineure CCS n'était plus en phase avec les besoins des industriels du domaine de la microélectronique et **il y avait des manques sur la partie conception de circuits intégrés numériques. La mineure a ainsi été mise à jour avec :**

- la suppression des cours « Filtres analogiques intégrés » et « Approfondissement des semi-conducteurs », **dégageant ainsi des heures pour des cours en conception numérique, notamment « Verilog » et « Vérification de circuits »,** enseignés par des industriels ;
- la suppression des matières « C++ » et « Réseaux de capteurs sans fil », **dégageant ainsi des heures pour les cours essentiels en analogique, tels que « Microélectronique CMOS » et « Projet de conception de circuits mixtes ».**

Enfin, nous avons décidé, au niveau du département, d'organiser des conférences métiers dès la 3^e année, pour mieux faire connaître les débouchés des deux mineures en électronique.

L'ensemble de ces actions a permis de redynamiser l'intérêt des étudiants pour la microélectronique et a conduit à l'ouverture de la mineure ACM en 2023. Plus en phase avec leurs attentes, le nouveau programme a été très apprécié, comme en témoigne l'augmentation des effectifs, passés de 8 étudiants en moyenne en CCS à 18 en moyenne en ACM sur les trois dernières années universitaires (2023-2024, 2024-2025 et 2025-2026).

2.2 Présentation de mes responsabilités liées aux stages

La gestion des stages implique la diffusion aux étudiants d'informations concernant les modalités de réalisation et d'évaluation des stages, l'accompagnement des étudiants dans leur choix, la validation des sujets de stage et l'attribution d'un référent pédagogique.

Le développement des partenariats avec les entreprises est favorisé par des visites et des échanges, permettant d'identifier de nouvelles opportunités de stage. Ces activités s'accompagnent aussi d'une participation aux conseils du département, ainsi qu'à des événements institutionnels tels que les journées portes ouvertes, les remises de diplômes et les forums de recrutement.

Depuis que j'ai pris la responsabilité des stages de 3^e et 4^e années de la spécialité Électronique en 2019, j'ai rencontré plusieurs responsables d'équipe d'entreprises de Sophia Antipolis, ce qui a renforcé mon réseau et facilité l'accès des étudiants à des stages de qualité. Avec l'appui du bureau des stages, je tiens à jour une liste d'entreprises ayant recruté des ingénieurs électroniciens de Polytech, en France comme à l'international, que je diffuse aux étudiants en début d'année. Je relaie également régulièrement des offres de stage aux étudiants.

Depuis 2023, j'ai pris la responsabilité des stages de 5^e année de la spécialité Électronique, ce qui me permet d'assurer un suivi plus global des étudiants tout au long de leur parcours en cycle ingénieur et de favoriser une meilleure transition vers le monde professionnel.

J'ai également pris la responsabilité des stages de la spécialité Robotique dès son ouverture, d'abord en 4^e année en 2023, puis en 5^e année en 2024. Dans un contexte de forte proximité entre l'électronique et la robotique, cela me permet à la fois de mettre les étudiants en relation avec des entreprises du secteur dès leur spécialisation et d'assurer une continuité pédagogique entre les stages de 4^e et de 5^e année.

3 ACTIVITES D'ENSEIGNEMENT

3.1 Pendant ma thèse : moniteur de 2010 à 2013

J'ai débuté mes activités d'enseignement en 2010, à la suite de l'obtention d'un poste de moniteur pour la formation EEA (Electronique, Energie électrique et Automatique) de l'Université Paul Sabatier. Au cours de ces trois ans, j'ai effectué 192 heures équivalentes de TD, sous la forme de TD, TP et projets dans les modules « Electronique analogique », « Electronique numérique », « Systèmes embarqués » et « Projets de conception de systèmes ». Ces enseignements s'adressaient à des étudiants de la 1^{re} à la 4^e année du parcours EEA (Licence et Master).

3.2 Pendant mon post-doctorat : vacataire de 2014 à 2017

Après une année sans enseignement pour finaliser mes travaux de thèse, j'ai repris mes activités d'enseignement en 2014 dans deux établissements en parallèle, l'INSA de Toulouse et l'IUT de Blagnac. J'ai effectué, durant ces trois années, 324 heures équivalentes de TD, sous la forme de TD et TP dans les modules « Electronique analogique », « Algorithme et programmation » et « Conception de circuits imprimés ». Pendant cette période, j'ai créé deux nouveaux TP d'électronique analogique : un TP « Amplificateur différentiel » et un TP « Oscillateur ».

3.3 Poste de maître de conférences : depuis 2017

J'ai été recruté en 2017 à Polytech Nice Sophia sur un **profil enseignant-chercheur centré sur la conception de circuits intégrés analogiques**, alors que mon profil, à l'issue de ma thèse et de mon post-doctorat, était davantage orienté vers la conception de systèmes analogiques et numériques. J'ai notamment été recruté en raison de mon expérience en conception de systèmes analogiques et de mon Master AISEM - Architecture et Ingénierie des Systèmes Electroniques et Microélectroniques, centré sur la conception de circuits intégrés analogiques et numériques.

Lors de ma première année de maître de conférences, **j'ai engagé une démarche de montée en compétence en conception de circuits intégrés analogiques**. Celle-ci s'est appuyée sur l'étude de la littérature scientifique et technique du domaine, ainsi que sur ma participation aux projets de recherche en cours. J'ai également suivi les cours de « Microélectronique CMOS » et de « Filtres analogiques intégrés » dispensés par Yves Leduc, professeur associé, en prévision de la prise en charge de ces enseignements à la suite de son départ à la retraite en 2018.

En parallèle de cette montée en compétence au cours de cette première année, je me suis impliqué dans des enseignements sur lesquels j'étais directement opérationnel, notamment « Traitement analogique du signal », et j'ai créé l'enseignement « Réseaux de capteurs sans fil ».

Au fil des années, mes activités d'enseignement se sont progressivement recentrées sur la conception de circuits intégrés analogiques, en cohérence avec l'évolution de mes activités de recherche vers cette thématique appliquée à l'IoT et à l'IA embarquée. Cette dynamique m'a conduit à prendre en charge, à faire évoluer et à créer plusieurs enseignements de microélectronique analogique et mixte au sein des mineures CCS et ACM.

Je résume ci-dessous les enseignements que j'ai pris en charge, fait évoluer ou créés depuis 2017 dans la spécialité Electronique de Polytech en lien avec la thématique de la conception de circuits intégrés analogiques :

- **Introduction Cadence** (15 h de TP par groupe) : **j'ai créé cette série de 5 TP** pour les 4^e années en Formation Initiale sous Statut Apprenti (FISA) en 2023. Les objectifs pédagogiques sont :
 - comprendre le fonctionnement des transistors MOS par simulation ;
 - apprendre à dimensionner une charge active et un miroir de courant ;
 - former les étudiants à l'utilisation de l'outil Cadence.
- **Modélisation - projet Cadence** (15 h de TP par groupe) : **j'ai créé cette série de 5 TP** pour les 4^e années en Formation Initiale sous Statut Etudiant (FISE) en 2023. Elle donne aux étudiants un aperçu du métier de concepteur de circuits analogiques, qui constitue l'un des débouchés de la mineure ACM. Les objectifs pédagogiques sont :
 - apprendre à dimensionner des blocs de base CMOS à partir d'un cahier des charges (définir la taille des transistors à partir des équations) ;
 - former les étudiants à l'utilisation de l'outil Cadence.
- **Microélectronique CMOS** (20 h de cours et 6 h de TD par groupe) : je dispense cet enseignement centré sur la conception de circuits intégrés analogiques depuis 2018 aux 5^e années FISE, en mineures CCS et ACM. Les objectifs pédagogiques sont :
 - maîtriser des blocs CMOS avancés (amplificateurs cascodes, différentiels et opérationnels), notamment en analysant leur schéma petit signal ;
 - comprendre le fonctionnement des transistors en technologie avancée.

Lors de l'évolution de la mineure CCS en mineure ACM en 2023, **j'ai fait évoluer cet enseignement en renforçant les notions de conception de blocs CMOS avancés** et en ajoutant une partie sur les transistors à canal non dopé, pour répondre aux besoins des industriels (10 h de cours supplémentaires). Cet enseignement a également évolué sur la partie consacrée à l'OTA (Operational Transconductance Amplifier) de Miller, afin de mieux s'articuler avec le projet de conception de circuits mixtes que j'ai pris en charge en 2023.

- **Projet de conception de circuits mixtes** (70 h de TP par groupe) : j'ai pris en charge ce projet dispensé dans la mineure ACM en 2023. L'objectif technique est de concevoir un circuit CAN (Convertisseur Analogique Numérique), du cahier des charges jusqu'au dessin des masques (layout), à l'aide de l'outil de conception Cadence. **J'ai décidé de passer le projet de 64 h à 70 h pour renforcer le lien avec mon cours de microélectronique CMOS**, en introduisant davantage de rappels théoriques et en approfondissant les notions de dessin des masques. Je fais évoluer chaque année le cahier des charges du CAN de manière à proposer un dimensionnement différent. Les objectifs pédagogiques sont les suivants :
 - définir l'architecture d'un circuit mixte à partir du cahier des charges ;
 - dimensionner les blocs CMOS (définir la taille des transistors à partir des équations) ;
 - maîtriser l'outil Cadence pour concevoir et optimiser un circuit jusqu'au layout.

Ce projet est un élément central de la mineure ACM, car il forme les étudiants à la conception complète d'un circuit mixte, en les préparant concrètement à leur futur métier d'ingénieur en conception de circuits, aussi bien sur la partie analogique que sur la partie numérique.

- **Fabrication CMOS** (16 h de TP par groupe) : j'ai pris en charge cet enseignement en 2024. Réalisés en salle blanche au Centre Interuniversitaire de Microélectronique et de Nanotechnologie de Grenoble, ces travaux pratiques permettent aux étudiants de réaliser un circuit intégré à base de transistors NMOS et de le caractériser. Les objectifs pédagogiques sont :
 - comprendre les principales étapes technologiques de fabrication d'un circuit intégré ;
 - mettre en œuvre des opérations de procédé en salle blanche ;
 - apprendre à utiliser des outils de caractérisation de circuits.
- **Filtres analogiques intégrés** (18 h de CM et 4 h de TD) : j'ai mis à jour et dispensé cet enseignement de 2018 à 2022 aux 5^e années FISE, en mineure CCS. Cet enseignement était centré sur le dimensionnement des filtres actifs CMOS (standards et à capacités commutées). **J'ai décidé de le supprimer de la mineure ACM car il n'était plus en phase avec les besoins des industriels.**

Une partie de mes enseignements s'inscrit dans ma seconde thématique de recherche, dédiée à la conception de systèmes embarqués. Cependant, mon investissement croissant, depuis quelques années, dans la thématique de la conception de circuits intégrés analogiques et dans la mineure ACM m'amène à transmettre progressivement la responsabilité de ces enseignements.

J'ai dispensé les enseignements suivants dans la **spécialité Electronique de Polytech** :

- **Traitement analogique du signal** (15 h de TP par groupe) : j'ai mis à jour et encadré ces TP destinés aux étudiants de 4^e année de 2017 à 2023.
- **Réseaux de capteurs sans fil** (6 h de CM et 15 h de TP par groupe) : **j'ai créé cet enseignement en 2017** et l'ai dispensé jusqu'en 2022 dans la mineure CCS.

J'ai dispensé l'enseignement suivant dans la **spécialité Bâtiment Intelligent de Polytech** :

- **Capteurs pour le bâtiment intelligent** (8 h de CM, 6 h de TD et 12 h de TP par groupe) : j'ai mis à jour et dispensé cet enseignement entre 2018 et 2023.

Enfin, une partie de mon service est réalisée à l'Université de Xi'an, en Chine, dans la spécialité Electronique, dans le cadre d'un partenariat avec le réseau Polytech :

- **Microprocesseur 2** (2 h de cours et 18 h de TP par groupe) : j'ai pris en charge cet enseignement en 2017. Il porte sur le développement de code en langage C sur microcontrôleur (processeur Cortex), afin de mettre en œuvre des périphériques (GPIO, TIMER, PWM...). En 2021, après avoir constaté des difficultés au démarrage des TP les années précédentes, **j'ai créé et ajouté une séance de TP préparatoire** pour la prise en main du matériel et des outils de développement.
- **Microprocesseur 1** (10 h de cours et 14 h de TD par groupe) : j'ai pris en charge cet enseignement en 2024, en complément de Microprocesseur 2. Il porte sur le développement de code en langage assembleur sur microprocesseur ARM7.

Lors de la transition entre la fermeture de la mineure CCS et l'ouverture de la mineure ACM, j'ai également assuré ponctuellement les enseignements « Électronique analogique 2 », « Circuits de communication » et « Arduino ». Ces interventions illustrent aussi ma polyvalence pédagogique.

3.4 Résumé des enseignements effectués depuis 2017

Matière enseignée	Type	Volume annuel moyen (h)	Période	Cycle
Introduction Cadence	TP	30	Depuis 2023	4 ^e année Electronique, FISA
Modélisation - projet Cadence	TP	30	Depuis 2023	4 ^e année Electronique, FISE
Microélectronique CMOS	Cours	20	Depuis 2018	5 ^e année Electronique, CCS et ACM
	TD	6	Depuis 2018	
Projet de conception de circuits mixtes	TP	70	Depuis 2023	5 ^e année Electronique, ACM
Fabrication CMOS (salle blanche)	TP	32	Depuis 2024	5 ^e année Electronique, ACM
Filtres analogiques intégrés	Cours	18	2018 à 2022	5 ^e année Electronique, CCS
	TD	4	2018 à 2022	
Traitement analogique du signal	TP	45	2017 à 2023	4 ^e année Electronique, FISE
	TD	16	2017 et 2018	
Réseaux de capteurs sans fil	Cours	6	2017 à 2022	5 ^e année Electronique, CCS
	TP	45	2017 à 2022	
Capteurs pour le bâtiment intelligent	Cours	8	2018 à 2023	4 ^e année Bâtiment Intelligent, FISE
	TD	6	2018 à 2023	
	TP	24	2018 à 2023	
Microprocesseur 2	Cours	2	Depuis 2017	3 ^e année Electronique (Université de Xi'an)
	TP	54	Depuis 2017	
Microprocesseur 1	Cours	10	Depuis 2024	3 ^e année Electronique (Université de Xi'an)
	TD	28	Depuis 2024	
Electronique analogique 2	Cours	6	2022	2 ^e année Electronique (Université de Xi'an)
	TD	24	2022	
	TP	18	2022	
Circuits de communication	TP	14	2022 et 2023	5 ^e année Electronique FISE, ACM et SE (Systèmes Embarqués)
Arduino	TP	60	2022	PEIP 2 (2 ^e année du cycle préparatoire de Polytech)

Dans le tableau ci-dessus apparaissent en gras **mes enseignements actuels**, qui se répartissent approximativement en **deux tiers relevant de la thématique « conception de circuits intégrés analogiques »** et **un tiers relevant de la thématique « systèmes embarqués »**.

4 ENCADREMENT DE THESES

Depuis 2017, j'ai eu l'opportunité de co-encadrer 4 thèses de doctorat, dont 2 ont été soutenues.

4.1 Thèses soutenues

Yuqing Mao

Titre de la thèse : **Nouvelle génération de générateurs de fréquence par auto-calibration de la grille arrière des transistors en technologie FDSOI**

Date de début : octobre 2020

Date de soutenance : 18 décembre 2023

Taux de co-encadrement : **70 %**

Co-encadrant : Gilles Jacquemod (Polytech'Lab)

Situation actuelle de la diplômée : **Post-doctorante dans le laboratoire « State Key Laboratory of Transducer Technology » en Chine**

Marine Brun

Titre de la thèse : **Etude des principes d'autoadaptation d'un oscillateur à quartz garantissant un démarrage correct et indépendant des composants extérieurs**

Date de début : octobre 2022

Date de soutenance : novembre 2025

Taux de co-encadrement : **30 %**

Co-encadrants : Gilles Jacquemod (Polytech'Lab), Philippe Le Fèvre (STMicroelectronics)

Situation actuelle de la diplômée : **Ingénieure en conception de circuits intégrés analogiques chez STMicroelectronics (site de Rousset)**

4.2 Thèses en cours

Zhiwei Ma

Titre de la thèse : **Conception et réalisation d'un réseau de neurones artificiels analogique en technologie FDSOI**

Date de début : octobre 2024

Date de soutenance prévisionnelle : décembre 2027

Taux de co-encadrement : **70 %**

Co-encadrants : Gilles Jacquemod (Polytech'Lab), Erwin Franquet (Polytech'Lab)

Damien Blanc

Titre de la thèse : **Compensation universelle intégrée dans une I/O USB en technologie FDSOI**

Date de début : octobre 2025

Date de soutenance prévisionnelle : décembre 2028

Taux de co-encadrement : **30 %**

Co-encadrants : Gilles Jacquemod (Polytech'Lab), Isabelle Claverie (STMicroelectronics)

5 ENCADREMENT DE STAGES

Depuis 2012, j'ai eu l'opportunité d'encadrer 12 stagiaires, dont 2 ont poursuivi en thèse au sein de notre équipe de recherche (Yuqing Mao et Zhiwei Ma).

Julien CORNIER

Diplôme : Master en Systèmes Intelligents (UT3, Toulouse)

Sujet de stage : participation à la mise au point d'un algorithme de localisation « indoor »

Financement : projet FIL (ANR)

Date de début : février 2012 Date de fin : juillet 2012 Encadrement : 100 %

Situation actuelle : Embedded Software Developer chez Naïo Technologies

Quoc Trung Mai

Diplôme : Ingénieur en Electronique (INSA, Toulouse)

Sujet de stage : caractérisation de capteurs de pression pour une semelle intelligente

Financement : projet FOOT-TEST (financement régional)

Date de début : février 2013 Date de fin : août 2013 Encadrement : 100 %

Situation actuelle : Ingénieur en développement électronique

Imad Bourennane

Diplôme : Ingénieur en Electronique (INSA, Toulouse)

Sujet de stage : participation à la conception d'un récupérateur d'énergie pour une semelle intelligente

Financement : projet FOOT-TEST (financement régional)

Date de début : février 2013 Date de fin : août 2013 Encadrement : 100 %

Situation actuelle : Architecte Système chez THALES Training & Simulation

Xavier Lachenal

Diplôme : Master Recherche en Systèmes Autonomes (U. Cergy)

Sujet de stage : développement d'algorithmes embarqués pour une semelle intelligente

Financement : projet RESPECT (ANR)

Date de début : avril 2014 Date de fin : septembre 2014 Encadrement : 100 %

Situation actuelle : Software Engineer chez Becker Avionics

Elodie Bouzbib

Diplôme : Master en Matériaux Avancés et Structures (Ecole des Mines d'Albi)

Sujet de stage : **intégration de systèmes et capteurs dans une semelle intelligente**

Financement : projet RESPECT (ANR)

Date de début : février 2015 Date de fin : août 2015 Encadrement : 100 %

Situation actuelle : **Post-doctorante au laboratoire UPNA – Interactive Future Devices en Espagne**

Bastien Belly

Diplôme : Ingénieur en Electronique (ENSEA, Cergy)

Sujet de stage : développement d'algorithmes embarqués pour une semelle intelligente

Financement : projet RESPECT (ANR)

Date de début : février 2016 Date de fin : août 2016 Encadrement : 100 %

Situation actuelle : Architecte banc de test chez Groupe LGM

Zhe Zhou

Diplôme : Ingénieur en Bâtiment Intelligent (Polytech Nice Sophia)

Sujet de stage : conception d'un réseau de capteurs sans fil pour une meilleure maîtrise de l'énergie

Financement : fonds propres de Polytech'Lab

Date de début : février 2018 Date de fin : août 2018

Encadrement : 50 %

Situation actuelle : en recherche d'emploi

Yuqing Mao

Diplôme : Ingénieur en Electronique (Polytech Nice Sophia)

Sujet de stage : **conception d'oscillateurs en technologie UTBB-FDSOI**

Financement : fonds propres de Polytech'Lab

Date de début : février 2020 Date de fin : août 2020

Encadrement : 100 %

Situation actuelle : **Post-doctorante dans le laboratoire « State Key Laboratory of Transducer Technology » en Chine**

Florian Debieu

Diplôme : Ingénieur en Electronique (Polytech Nice Sophia)

Sujet de stage : conception d'un oscillateur en anneau verrouillé par injection en UTBB-FDSOI

Financement : fonds propres de Polytech'Lab

Date de début : février 2021 Date de fin : août 2021

Encadrement : 50 %

Situation actuelle : Analog/RF Design Engineer

Zhiwei Ma

Diplôme : Ingénieur en Electronique (Polytech Nice Sophia)

Sujet de stage : **conception d'un circuit multiplieur pour un réseau de neurones artificiels en UTBB-FDSOI**

Financement : fonds propres de Polytech'Lab

Date de début : février 2024 Date de fin : août 2024

Encadrement : 100 %

Situation actuelle : **Doctorant à Polytech'Lab**

Melek Said

Diplôme : Ingénieur en Electronique (Polytech Nice Sophia)

Sujet de stage : participation à la conception d'une cellule de Gilbert pour un réseau de neurones artificiels en UTBB-FDSOI

Financement : fonds propres de Polytech'Lab

Date de début : avril 2025 Date de fin : août 2025

Encadrement : 50 %

Situation actuelle : Etudiante à Polytech Nice Sophia en ELSE5, mineure ACM

Wissal El Figuigui

Diplôme : Ingénieur en Mathématiques Appliquées et Modélisation (Polytech Nice Sophia)

Sujet de stage : modélisation d'un réseau de neurones artificiels

Financement : fonds propres de Polytech'Lab

Date de début : mars 2026 Date de fin prévue : juillet 2026

Encadrement : 50 %

Situation actuelle : Etudiante à Polytech Nice Sophia en MAM4

6 PUBLICATIONS PERSONNELLES

Articles dans revues internationales à comité de lecture

- Y. Leduc, G. Jacquemod, **Y. Charlon** et F. Muller, "A "tonebusting" technique to build a DAC from a 1st order digital sigma/delta modulator", *Journal of Electronic Research and Application*, vol.9, Article ID 9379, 2 p., 2025. <https://doi.org/10.26689/jera.v9i4.9379>
- Y. Mao, **Y. Charlon**, Y. Leduc et G. Jacquemod, "A low power injection-locked CDR using 28nm FDSOI technology for burst-mode applications", *Journal of Low Power Electronics and Applications*, vol.14(2):22, 18 p., 2024. <https://doi.org/10.3390/jlpea14020022>
- Y. Mao, **Y. Charlon**, Y. Leduc et G. Jacquemod, "LC tank oscillator based on new negative resistor in FDSOI technology", *Journal of Low Power Electronics and Applications*, vol.14(1):8, 17 p., 2024. <https://doi.org/10.3390/jlpea14010008>
- A. Piau, Z. Steinmeyer, **Y. Charlon** et al. "A Smart Shoe Insole to Monitor Frail Older Adults' Walking Speed: Results of Two Evaluation Phases Completed in a Living Lab and Through a 12-Week Pilot Study", *JMIR mHealth and uHealth*, 2021;9(7):e15641. <https://pubmed.ncbi.nlm.nih.gov/36260404/>
- Y. Charlon**, A. Piau, D. Brulin et E. Campo. "Design and Evaluation of a Connected Insole to Support Healthy Aging of Frail Patients at Home", *Wireless Sensor Network*, 11, 67-80, 2019. <https://doi.org/10.4236/wsn.2019.115005>
- Y. Charlon**, E. Campo et D. Brulin, "Design and evaluation of a smart insole: application for continuous monitoring of frail people at home", *Expert Systems with Applications*, April 2018. <https://doi.org/10.1016/j.eswa.2017.11.024>
- A. Piau, **Y. Charlon**, E. Campo, F. Nourhashemi et B. Vellas, "The RESPECT Shoe Insole to Monitor Frailty Parameters", *Innovation in Aging*, Volume 1, Issue suppl_1, July 2017, Page 71. <https://doi.org/10.1093/geroni/igx004.292>
- A. Piau, **Y. Charlon**, E. Campo, B. Vellas et F. Nourhashemi, "A Smart Insole to Promote Healthy Aging for Frail Elderly Individuals: Specifications, Design, and Preliminary Results", *JMIR Rehabil Assist Technol.*, 2015. <https://doi.org/10.2196/rehab.4084>
- Y. Charlon**, N. Fourty, W. Bourennane et E. Campo, "Design and evaluation of a device worn for fall detection and localization: Application for the continuous monitoring of risks incurred by dependents in an Alzheimer's care unit", *Expert Systems with Applications*, Vol.40, N°18, pp.7316-7330, December 2013. <https://doi.org/10.1016/j.eswa.2013.07.031>
- Y. Charlon**, N. Fourty et E. Campo, "A telemetry system embedded in clothes for indoor localization and elderly health monitoring", *Sensors*, Vol.13, N°9, pp.11728-11749, September 2013. <https://doi.org/10.3390/s130911728>
- W. Bourennane, **Y. Charlon**, F. Bettahar, E. Campo et D. Esteve, "Homecare monitoring system: A technical proposal for the safety of the elderly experimented in an Alzheimer's care unit", *IRBM*, Vol.34, N°2, pp.92-100, April 2013. <https://doi.org/10.1016/j.irbm.2013.02.002>
- Y. Charlon**, W. Bourennane, F. Bettahar et E. Campo, "Activity monitoring system for elderly in a context of smart home", *IRBM*, Vol.34, N°1, pp.60-63, February 2013. <https://doi.org/10.1016/j.irbm.2012.12.014>
- W. Bourennane, **Y. Charlon**, F. Bettahar, M. Chan, D. Esteve et E. Campo, "Ambient intelligence for monitoring Alzheimer patients", *International Journal of E-Health and Medical Communications (IJEHMC)*, Vol.4, N°1, pp.23-35, January 2013. <https://doi.org/10.4018/jehmc.2013010103>
- N. Fourty, **Y. Charlon** et E. Campo, "Embedded wireless system for pedestrian localization in indoor environments", *Sensors & Transducers Journal*, Vol.14-2, pp.211-227, Special Issue, February 2012. https://sensorsportal.com/HTML/ST_JOURNAL/vol_14-2.html

Conférences internationales à comité de lecture et actes

- M. Brun**, P. Le Fevre, G. Jacquemod et **Y. Charlon**, "Comparative Analysis of a Novel and a Conventional Modeling Approach for Parasitic Capacitances Integration in a Quartz Crystal Oscillator," 2025 Joint Conference of the European Frequency and Time Forum and IEEE International Frequency Control Symposium (EFTF/IFCS), Querétaro, Mexico, 2025, pp. 1-4. <https://doi.org/10.1109/EFTF/IFCS64367.2025.11194434> (IEEE)
- Z. Ma**, G. Jacquemod et **Y. Charlon**, "New Multiplier and Input Layer in Current Mode for Analog Artificial Neural Networks," 2025 IEEE 16th Latin America Symposium on Circuits and Systems (LASCAS), Bento Gonçalves, Brazil, 2025, pp. 1-5. <https://doi.org/10.1109/LASCAS64004.2025.10966236> (IEEE)
- Y. Charlon**, G. Jacquemod, H. Jouni et A. Harb, "New implementation of analog neural network for breast cancer classification", ACDSA, Mahé, Seychelles, 2024. <https://doi.org/10.1109/ACDSA59508.2024.10467399> (IEEE)
- M. Brun**, G. Jacquemod, **Y. Charlon**, A. Gamet et P. Le Fevre, "A two-Stage amplifier in a low power 32.768kHz quartz", DCIS, Barcelona, Spain, 2023. <https://doi.org/10.1109/DCIS58620.2023.10335971> (IEEE)
- Y. Mao**, **Y. Charlon**, Y. Leduc et G. Jacquemod, "New design of an ultra low power CDR architecture using FDSOI 28 nm technology", NEWCAS, Edinburgh, Scotland, 2023. <https://doi.org/10.1109/NEWCAS57931.2023.10198143> (IEEE)
- Y. Mao**, **Y. Charlon**, Y. Leduc et G. Jacquemod, "LC tank oscillator based on new negative resistor in FDSOI technology", PRIME-LA/LASCAS, Quito, Ecuador, 2023. [Student Award: IEEE Circuits and Systems Society Student Travel Grants](#) (IEEE)
- Y. Mao**, **Y. Charlon**, **F. Debieu**, Z. Wei, Y. Leduc et G. Jacquemod, "[Ultra low power injection-locked ring oscillator architecture using FDSOI technology](#)", International Conference on Analog VLSI Circuits (AVIC), Bordeaux, France, 2021.
- E. Campo**, D. Brulin, **Y. Charlon** et **E. Bouzbib**, "Activity Recognition by Classification Method for Weight Variation Measurement with an Insole Device for Monitoring Frail People", Smart Homes and Health Telematics, ICOST 2018. Lecture Notes in Computer Science, vol. 10898. Springer, Cham. https://doi.org/10.1007/978-3-319-94523-1_7
- A. Piau**, **Y. Charlon**, **E. Campo** et **F. Nourhashemi**, "[A smart insole to promote healthy aging for frail elderly](#)", 10th World Conference of Gerontechnology, Nice (France), septembre 2016, 1p.
- E. Campo**, **Y. Charlon** et **D. Brulin**, "Instrumented insole for weight measurement of frail people", International Conference on Pervasive Technologies Related to Assistive Environments (PETRA), 2015, Corfu (Grèce), 6p., N° 15069. <https://doi.org/10.1145/2769493.2769525>
- Y. Charlon**, **E. Campo**, **D. Brulin**, **F. Bettahar** et **A. Piau**, "[Smart insole for measuring actimetry of frail people](#)", Med-e-tel, Luxembourg, 2015, pp. 1-7.
- M. Chan**, **E. Campo**, **W. Bourennane**, **F. Bettahar** et **Y. Charlon**. 2014. "Mobility behavior assessment using a smart-monitoring system to care for the elderly in a hospital environment". International Conference on Pervasive Technologies Related to Assistive Environments (PETRA), 2014, New York, NY, USA, Article 51, 1-5. <https://doi.org/10.1145/2674396.2674397>
- Y. Charlon**, **F. Bettahar** et **E. Campo**, "[Design of a smart shoe insole to monitor frail older people](#)", International Conference on Modern Well-being for Societies and Territories (LivInWell), Sainte-Feyre (France), March 2013, 6p.
- N. Fourty**, **Y. Charlon** et **E. Campo**, "[Energy efficient embedded wireless system used for localisation in indoor environments](#)", International Conference on Sensor Device Technologies and Applications (SENSORDEVICES 2011), Nice (France), 21-27 August 2011, 6p.
- W. Bourennane**, **Y. Charlon**, **M. Chan**, **D. Esteve** et **E. Campo**, "[Integration of wearable device with actimetry system for monitoring Alzheimer's patients](#)", International Conference on Wearable Micro and Nano Technologies for Personalized Health (pHealth 2011), Lyon (France), July 2011, 4p.

Conférences invitées

- G. Jacquemod, K. Trung Nguyen, Z. Ma, **Y. Charlon** et E. Franquet, "Analog Artificial Neural Network for NIALM technology", *PowerForum*, Seoul, South Korea, 2026.
- G. Jacquemod, K. Trung Nguyen, Z. Ma, **Y. Charlon** et E. Franquet, "Watt Seeker based on Artificial Neural Network", *POWERMEET2026*, Kuala Lumpur, Malaysia, 2026.
- Y. Leduc, G. Jacquemod et **Y. Charlon**, "A "Tonebusting" technique to build a digital to analog converter from a 1st order digital SD modulator", *FETCH*, Ronchinne, Belgium, 2024.
- G. Jacquemod, Y. Mao, Z. Wei, Y. Leduc et **Y. Charlon**, "The back-gate of UTBB FDSOI transistor: a magic knob for analog and mixed cells", *ASICON*, Keynote Speaker, Nanjing, China, 2023.
[Keynote Speech Certificate of Honor](#)
- G. Jacquemod, Y. Mao, Y. Leduc et **Y. Charlon**, "New clock generator's design based on back-gate auto-biasing of 28nm UTBB-FDSOI transistors", *WCAM*, Tokyo, Japan, 2023.
- Y. Leduc, G. Jacquemod, **Y. Charlon**, J. Mequin et X. Albinet, "Reasoned Modeling of Switched Capacitors Circuits – Techniques of Simulation", *FETCH*, Lavez-les-Bains, Switzerland, 2023.
- G. Jacquemod, Y. Mao, Y. Leduc et **Y. Charlon**, "A new negative resistor for LC tank oscillator in FDSOI technology", *Material Science and Engineering*, Dubai, UAE, 2022.
- Y. Leduc, **Y. Charlon**, Y. Mao, X. Albinet et G. Jacquemod, "Reasoned Modeling of Switched Capacitors Circuits - Preparation and Simulation", *FETCH*, Les Houches, France, 2022.
- Y. Mao, **Y. Charlon**, Y. Leduc et G. Jacquemod, "Ultra low power CDR based on an injection-locked ring oscillator architecture using FDSOI technology", *FETCH*, Les Houches, France, 2022.

Article dans revue nationale à comité de lecture

- G. Jacquemod, **Y. Charlon**, Z. Wei, Y. Leduc et P. Lorenzini, « Application de la technologie FDSOI pour la conception de nouvelles topologies de circuits analogiques et mixtes », *J3eA*, 18 (2019) 102.
<https://doi.org/10.1051/j3ea/20191021>

Conférences nationales à comité de lecture et actes

- Y. Mao, **Y. Charlon**, Y. Leduc et G. Jacquemod, "Ultra low power CDR based on an injection-locked ring oscillator architecture using FDSOI technology", *Workshop CSC-Polytech*, Paris, 2022.
- Y. Mao, **Y. Charlon**, Y. Leduc et G. Jacquemod, "VCRO à injection faible consommation pour récupération du rythme d'horloge", *FETCH*, Les Houches, France, 2022.
- G. Jacquemod, Z. Wei, Y. Mao, Y. Leduc et **Y. Charlon**, "Réduction des effets SCE et DIBL des transistors UTBB-FDSOI", *JPCNFM*, Saint-Malo, 2021.
- A. Piau, **Y. Charlon**, E. Campo et F. Nourhashemi, "Une semelle intelligente pour promouvoir l'activité physique des patients âgés fragiles", *Congrès Francophone Fragilité et Prévention de la dépendance du sujet âgé*, Marseille, avril 2014, 1p.
- Y. Charlon**, I. Bourennane, "Feasibility test of a smart shoe insole self-powered", *Journées Nationales sur la Récupération et le Stockage d'Energie (JNRSE)*, Toulouse (France), mars 2013, 2p.
- F. Bettahar, W. Bourennane, **Y. Charlon** et E. Campo, "HOMECARE: une plateforme technique de surveillance pour le suivi actimétrique de patients Alzheimer", *Workshop – Alzheimer, Approche pluridisciplinaire. De la recherche clinique aux avancées technologiques*, Toulouse (France), janvier 2013, pp.87-98.
- Y. Charlon**, W. Bourennane et E. Campo, "Mise en œuvre d'une plateforme de suivi de l'actimétrie associée à un système d'identification (résumé)", *Université d'été de la e-Santé 2012*, Castres (France), 4-6 juillet 2012, 1p.
- Y. Charlon**, W. Bourennane et E. Campo, "Mise en œuvre d'une plateforme de suivi de l'actimétrie associée à un système d'identification", *Symposium Mobilité et Santé (SMS 2011)*, Ax-les-Thermes (France), septembre 2011, 12p.

Deuxième partie : activités de recherche

1 INTRODUCTION

L'Internet des objets (IoT) et l'intelligence artificielle (IA) embarquée constituent aujourd'hui un cadre scientifique majeur pour la conception de systèmes électroniques de nouvelle génération. En rapprochant les fonctions de mesure, de communication et de traitement des lieux d'usage, ces technologies ouvrent des perspectives pour des applications telles que la santé connectée, le bâtiment intelligent ou la ville intelligente. Elles soulèvent des défis importants, notamment en matière de consommation énergétique, de robustesse, d'intégrabilité et de co-conception entre matériel et algorithmes. Les travaux présentés dans ce mémoire s'inscrivent dans ce contexte, guidés par une même question : **comment concevoir des systèmes et des circuits électroniques capables d'apporter une intelligence utile et sobre au plus près du terrain ?**

Mes premiers travaux, menés dans l'industrie puis au LAAS-CNRS dans le cadre de ma thèse et de mon post-doctorat, ont porté sur le développement de systèmes embarqués, en particulier pour la santé connectée. J'y ai développé des dispositifs complets associant capteurs, systèmes communicants et algorithmes embarqués, évalués en laboratoire et en conditions d'usage. Ces travaux m'ont conduit à accorder une attention particulière à l'autonomie énergétique, à la compacité des systèmes et à la qualité des informations extraites.

Mon recrutement à Polytech'Lab en 2017 a marqué une évolution de mes activités vers la conception de circuits intégrés analogiques. Cette évolution ne correspond pas à une rupture complète, mais plutôt à un changement d'échelle. En effet, plusieurs verrous identifiés au niveau système renvoyaient directement à la conception de briques matérielles élémentaires, en particulier lorsque l'on cherche à maîtriser la consommation et l'intégration. Mes travaux se sont donc progressivement déplacés vers la microélectronique, tout en conservant comme fil directeur les applications visées.

Lors de ma prise de poste, le laboratoire Electronique pour objets connectés (EPOC), initialement centré sur les objets connectés, est devenu Polytech'Lab en élargissant ses thématiques vers la ville intelligente. Cet environnement a favorisé le développement de travaux reliant plus directement la conception de briques microélectroniques à des applications relevant de l'IoT et de l'IA embarquée. **Mes recherches se sont alors progressivement organisées autour de deux axes.**

Le premier axe concerne la conception de circuits intégrés analogiques, mixtes et radiofréquence (RF) pour l'IoT, en technologie UTBB-FDSOI (Ultra-Thin Body and Buried Oxide Fully Depleted Silicon On Insulator). Dans ce cadre, j'ai plus particulièrement exploité la grille arrière du transistor comme levier de conception pour réduire la dépendance aux effets de canal court, ainsi que la consommation énergétique et la surface des circuits développés.

Le second axe porte sur l'intelligence embarquée, avec la conception d'un réseau de neurones artificiels analogique (RNAA) destiné à des traitements locaux de classification et de détection d'événements. Il prolonge l'exploitation des atouts de la technologie UTBB-FDSOI vers des briques de calcul embarqué conciliant sobriété, intégration et robustesse.

À ces deux axes s'ajoutent **des travaux menés en partenariat avec STMicroelectronics autour de circuits pour microcontrôleurs**. Eux aussi s'inscrivent dans une problématique de conception de circuits intégrés analogiques sobres, compatibles avec des contraintes de transfert et d'industrialisation.

Ces recherches ont été conduites dans un cadre largement collaboratif, à travers des échanges réguliers avec mes collègues du LAAS-CNRS et de Polytech'Lab ainsi que plusieurs partenariats industriels. Ces collaborations ont joué un rôle important dans la définition des sujets et dans la confrontation des solutions proposées à des contraintes technologiques concrètes.

Parallèlement à la consolidation de ces axes scientifiques, l'encadrement a pris une place croissante dans mon activité de recherche. Au fil des années, mes thématiques se sont ainsi développées à travers la définition de sujets de recherche, l'encadrement de stages de fin d'études, de projets de recherche et surtout de travaux doctoraux, qui constituent aujourd'hui une composante essentielle de mon activité scientifique.

Ce manuscrit est organisé en deux temps. Il revient d'abord sur mes activités de recherche menées dans l'industrie, puis au LAAS-CNRS, afin de situer l'origine de mon positionnement scientifique. Il présente ensuite les travaux développés depuis mon arrivée au sein de Polytech'Lab, autour de la **conception de circuits analogiques, RF et mixtes sobres**, notamment en technologie UTBB-FDSOI 28 nm, du développement d'un **système de récupération de données et d'horloge (Clock and Data Recovery - CDR)** pour l'IoT, de la conception d'un **réseau de neurones artificiels analogique**, ainsi que des travaux sur les **oscillateurs à quartz** pour microcontrôleurs.

L'objectif de cette partie est de montrer comment s'est progressivement construit un **positionnement scientifique à l'interface entre microélectronique, systèmes embarqués et applications pour l'IoT et l'IA embarquée, avec des prolongements vers le bâtiment et la ville intelligents**.

2 ACTIVITES DE RECHERCHE DANS L'INDUSTRIE (2007-2010)

J'ai débuté ma carrière professionnelle en tant qu'ingénieur de recherche et développement, d'abord au sein de la société Optomesures, puis de Studelec, entre 2007 et 2010. Ces premières expériences, bien qu'inscrites dans un cadre industriel, m'ont permis d'aborder des problématiques à l'interface entre innovation technologique et recherche appliquée. Ces travaux ont porté notamment sur la conception de systèmes optoélectroniques miniatures pour l'analyse œnologique, ainsi que sur la recherche de solutions d'intégration de fonctions électroniques dans l'épaisseur de circuits imprimés, en vue de réaliser l'alimentation autonome d'un nœud capteur.

2.1 Travaux de recherche avec la société Optomesures

Ces travaux s'inscrivaient dans le cadre du projet MICROLAB, qui visait la conception d'une centrale d'analyse viticole miniaturisée. L'objectif principal était de développer une solution optique originale pour l'analyse des composés chimiques du vin par spectrophotométrie d'absorption. Mes travaux ont notamment porté sur :

- la réalisation d'un état de l'art sur les systèmes optoélectroniques miniatures capables de mesurer les composés du vin à différentes longueurs d'onde ;
- la conception d'une architecture système, adaptée à des contraintes d'encombrement et d'intégration dans un espace confiné.

Le système MICROLAB a permis à la société Optomesures de remporter le trophée OENOVATION 2007 (Figure 1) et a conduit au dépôt, puis à la délivrance, d'un brevet [Genot 2010].



Figure 1. Système complet présenté au trophée de l'OENOVATION 2007

2.2 Travaux de recherche avec la société Studelec

Ces travaux étaient principalement issus du contrat PCB², un partenariat entre le LAAS-CNRS, EADS et Studelec, visant à développer des technologies innovantes d'intégration électronique. L'objectif du projet était d'intégrer des composants passifs et des solutions d'alimentation dans l'épaisseur d'un circuit imprimé (Figure 2), afin de miniaturiser des systèmes embarqués tout en les rendant partiellement autonomes. Dans ce cadre, j'ai participé à la réalisation d'un état de l'art sur les batteries ultrafines de type LIPON et les générateurs piézoélectriques miniatures, dans le but d'identifier des solutions technologiques permettant l'intégration d'un système de récupération et de gestion d'énergie directement dans un PCB multicouche. Ces travaux se sont concrétisés dans le cadre de la thèse d'Adrien Ramond, soutenue en 2011 au LAAS-CNRS [Ramond 2011].



Figure 2. Premier essai d'intégration d'une batterie LIPON dans l'épaisseur d'un PCB

Dans le cadre du projet PCB², j'ai notamment pu établir un lien privilégié avec l'équipe « instrumentation embarquée et systèmes de surveillance intelligents (S4M) » du LAAS-CNRS. Cette collaboration a joué un rôle déterminant dans l'orientation de mon parcours, en ouvrant la voie à mon intégration au sein de cette équipe pour y réaliser une thèse. J'ai ainsi intégré, en 2010, le LAAS-CNRS pour préparer un doctorat consacré à la conception de systèmes embarqués pour la santé connectée.

Ces premières expériences industrielles ont joué un rôle structurant dans mon parcours. Elles m'ont confronté à des **enjeux de miniaturisation, d'intégration, d'autonomie énergétique et de transfert applicatif**, qui resteront au cœur de mes travaux ultérieurs. Elles constituent ainsi **un socle thématique et méthodologique, préparant la transition vers mes recherches menées au LAAS-CNRS.**

3 TRAVAUX DE RECHERCHE AU LAAS-CNRS (2010-2017)

Cette partie présente en détail les activités de recherche que j'ai menées durant ma thèse et mon post-doctorat, au sein de l'équipe S4M du LAAS-CNRS.

3.1 Contexte et objectifs

Mes travaux de recherche au LAAS-CNRS ont porté sur **le développement de systèmes embarqués permettant de collecter des données relatives aux activités quotidiennes de personnes âgées**. Ces systèmes étaient conçus soit pour être portés par la personne, soit pour être intégrés à son environnement de vie, au domicile ou en établissement médicalisé.

Le LAAS-CNRS disposait en 2010 d'une longue expérience dans l'instrumentation de l'habitat, illustrée par plusieurs expérimentations [Campo et al. 1997; Bonhomme et al. 2007; Chan et al. 2012]. Ces études avaient mis en évidence les limites d'une approche reposant uniquement sur l'instrumentation des locaux, en particulier la difficulté de suivre plusieurs personnes à l'aide de capteurs sans contact, incapables de différencier les individus et manquant de précision pour l'analyse des mouvements.

Ma thèse s'est inscrite dans la continuité de ces travaux, avec le développement d'un système porté visant à compléter les dispositifs de suivi ambiant existants par la mesure de l'activité et l'identification des personnes. Deux applications cliniques ont alors été envisagées :

- le suivi et la surveillance de personnes dépendantes en institution ou à domicile par l'association d'un système porté et de capteurs ambiants ;
- le suivi de personnes fragiles (pré-dépendantes) à domicile à l'aide d'un système porté.

L'approche de la fragilité proposée par Fried est souvent privilégiée dans les études cliniques, car elle permet au praticien d'intervenir sur des critères strictement physiologiques, donc plus facilement mesurables. Les critères de Fried [Fried et al. 2001] permettant d'identifier le syndrome de la fragilité chez une personne âgée sont :

- la réduction de la vitesse de marche ;
- la diminution de l'activité physique ;
- la perte de poids involontaire ;
- l'épuisement, correspondant à une faible endurance ou à un manque d'énergie ;
- l'affaiblissement de la force de préhension (diminution de la force musculaire).

Le besoin, pour les médecins gériatres, de mesurer ces critères a guidé une grande partie de mes travaux menés au LAAS-CNRS. Dans ce contexte, nous avons développé des outils de suivi personnalisé de l'état de santé des personnes âgées, visant à détecter précocement les situations à risque telles que les chutes, la perte d'autonomie ou les comportements inhabituels. Nous avons également conçu des systèmes favorisant le maintien en bonne santé, notamment par la promotion de l'activité physique, comme la marche. Ces approches visaient ainsi à encourager un mode de vie actif, facteur clé de prévention des complications liées au vieillissement, tout en permettant une intervention rapide en cas de besoin, comme l'illustre la Figure 3.

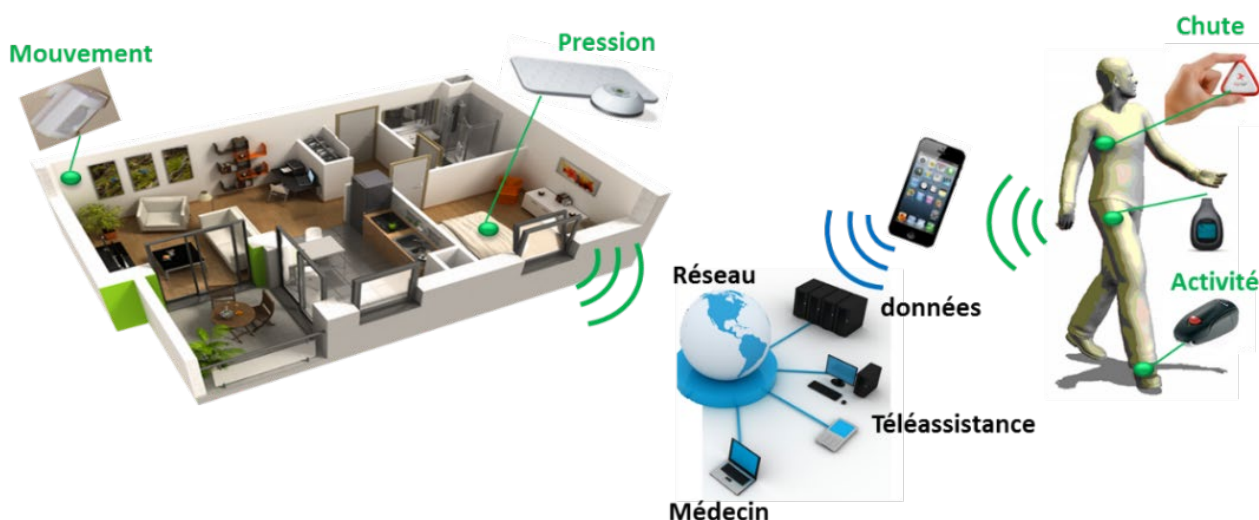


Figure 3. Illustration du contexte de mes travaux de recherche menés au LAAS-CNRS

La problématique générale portait sur l'adaptation des systèmes à concevoir au quotidien et aux besoins des utilisateurs. **Les principaux verrous concernaient la fiabilité des algorithmes embarqués de suivi, la réduction de la taille des dispositifs portés, ainsi que la gestion optimisée de l'énergie embarquée**, incluant à la fois la réduction de la consommation énergétique et l'intégration de systèmes de récupération d'énergie. Le développement des solutions techniques était réalisé en plusieurs étapes : conception matérielle et logicielle, caractérisation en laboratoire, puis essais en conditions d'usage.

Plusieurs projets à visée applicative ont servi de cadre à mes activités de recherche :

- **HEMOCARE (ANR)** : conception d'un système de suivi de patients en institution ;
- **FIL (ANR)** : Fusion d'Informations pour la Localisation de personnes dans un bâtiment complexe ;
- **FOOT-TEST (projet régional)** : conception d'une semelle connectée pour le suivi de personnes âgées à domicile ;
- **RESPECT (ANR)** : conception et validation d'une semelle connectée pour le suivi de personnes âgées à domicile ;
- **FRAGIL'IT (projet régional)** : conception d'un ensemble connecté pour le suivi de personnes âgées à domicile.

Ces projets réunissaient plusieurs consortiums associant des professionnels de santé, des industriels et le LAAS-CNRS. Le travail de spécification s'appuyait sur cette collaboration afin d'identifier des solutions techniques adaptées aux besoins des utilisateurs visés. **J'ai participé activement à cette collaboration dans le cadre du montage des projets FOOT-TEST, RESPECT et FRAGIL'IT, en particulier à travers la rédaction de l'état de l'art**, qui a permis d'identifier des solutions originales et d'élaborer les propositions techniques correspondantes.

Les problématiques de la gestion de l'énergie embarquée et de l'intégration de système étaient au cœur de mes travaux. Dans ce cadre, j'ai conçu et mis en œuvre de petits réseaux de capteurs communicants (moins de 10 nœuds), à faible consommation énergétique. Ces travaux m'ont conduit à développer des stratégies de réduction de la consommation à la fois au niveau matériel, par l'optimisation de l'architecture système et l'étude de solutions de récupération d'énergie, et au niveau logiciel, en privilégiant le traitement embarqué des signaux afin de ne transmettre que les données utiles, ainsi qu'en optimisant le code embarqué.

3.2 Travaux de thèse (2010-2014)

Au cours de ma thèse [Charlon 2014], j'ai contribué à la conception de trois systèmes originaux :

- 1) un système composé d'un réseau de capteurs intégrant un **patch électronique** porté par chaque patient et de balises radio intégrées dans l'environnement de vie (institution médicalisée), ainsi que le développement des algorithmes de localisation et de détection de chute dans le cadre du projet HOMECARE [Charlon et al. 2013c; Charlon et al. 2013d] ;
- 2) un **télé-mètre à ultrasons** pour la localisation « indoor » et la mesure des déplacements dans le cadre du projet FIL [Charlon et al. 2013e; Fourty et al. 2011] ;
- 3) plusieurs versions de **semelles connectées** et d'algorithmes embarqués de suivi de la marche de patients fragiles, dans le cadre du projet FOOT-TEST [Charlon et al. 2013a; Charlon et al. 2013b].

3.2.1 Conception d'un patch électronique

Ma première contribution fut la conception d'un ensemble **patch/balise communicant** basé sur la norme 802.15.4. Concernant le dispositif porté, un effort a été réalisé lors de la conception pour réduire la consommation énergétique, en s'appuyant sur les éléments suivants :

- le choix de composants électroniques à faible consommation, notamment des capteurs MEMS (Micro-Electro-Mechanical Systems) et un module SiP (System in Package) intégrant le microcontrôleur et le modem radio ;
- l'utilisation d'un standard de communication à faible consommation (802.15.4) ;
- le traitement du signal embarqué afin de ne transmettre que les données utiles ;
- l'optimisation des logiciels embarqués : exploitation des modes basse consommation du modem radio, réveil du système sur seuil d'accélération, ajustement dynamique de la fréquence, utilisation de routines en langage assembleur...

Pour miniaturiser le système, les stratégies suivantes ont été appliquées :

- la sélection de composants électroniques à très faible encombrement (capteurs MEMS, module SiP, composants passifs miniatures, antenne céramique compacte, pile lithium extra-mince) ;
- la réalisation du circuit imprimé sur un substrat fin (0.8 mm).

Ce patch électronique constitue un nœud capteur, décliné en plusieurs objets connectés adaptés à divers contextes d'usage, afin d'élargir les fonctionnalités proposées (Figure 4).

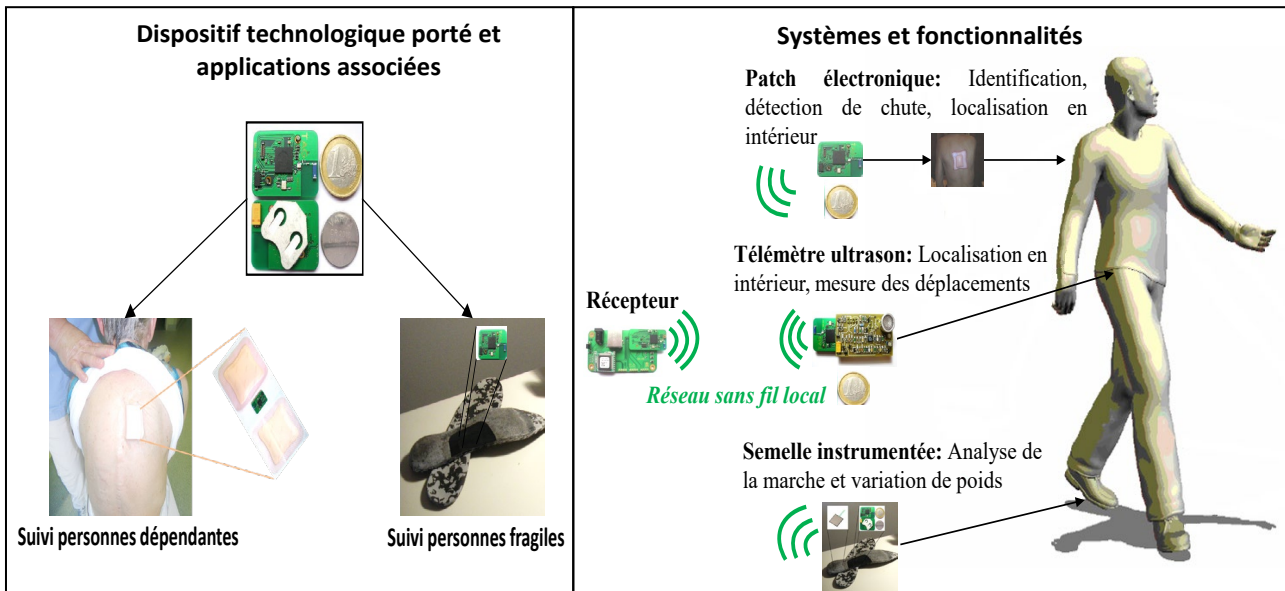


Figure 4. Dispositifs développés au cours de ma thèse pour le suivi de personnes âgées

La première application concernait le suivi de personnes dépendantes en établissement médicalisé (projet HOMECARE). **Deux algorithmes ont été développés dans ce contexte :**

- un algorithme de **détection de chute** embarqué dans le patch ;
- un algorithme de **localisation « indoor »** réalisé de manière déportée, à partir des données transmises par le patch.

3.2.1.1 Algorithme de détection de chute embarqué dans le patch

Cet algorithme exploite l'accéléromètre triaxial du patch. L'objectif était d'améliorer la fiabilité de la fonction de détection de chute de la plateforme HOMECARE, auparavant basée sur la mesure de l'immobilité à l'aide de capteurs de mouvement PIR (Passive InfraRed) déployés dans l'institution médicalisée. Cet algorithme repose principalement sur la mesure de deux paramètres.

Le premier paramètre est la norme du vecteur accélération, notée $V_s(t)$, définie par l'équation (1):

$$V_s(t) = \sqrt{a_x(t)^2 + a_y(t)^2 + a_z(t)^2} \quad (1)$$

où $a_x(t)$, $a_y(t)$ et $a_z(t)$ sont les composantes des axes x, y, z de l'accéléromètre, exprimées en g.

Le second paramètre est l'angle d'inclinaison par rapport à la verticale $\phi(t)$, obtenu à partir du vecteur gravitationnel $g(t)$ estimé par filtrage passe-bas des mesures d'accélération selon l'équation (2):

$$\phi(t) = \arccos \left(\frac{g_z(t)}{\sqrt{g_x(t)^2 + g_y(t)^2 + g_z(t)^2}} \right) \cdot \frac{180}{\Pi} \quad (2)$$

où $g_x(t)$, $g_y(t)$ et $g_z(t)$ sont les composantes du vecteur gravitationnel estimé selon les axes du capteur. L'angle $\phi(t)$ représente l'angle formé entre l'axe z du capteur et la direction de la gravité, c'est-à-dire la verticale. Il permet de caractériser la posture de la personne instrumentée, en distinguant notamment une position verticale d'une position allongée.

La figure suivante présente les principales étapes de l'algorithme de détection de chute, dans le cas d'une simulation de chute vers l'avant :

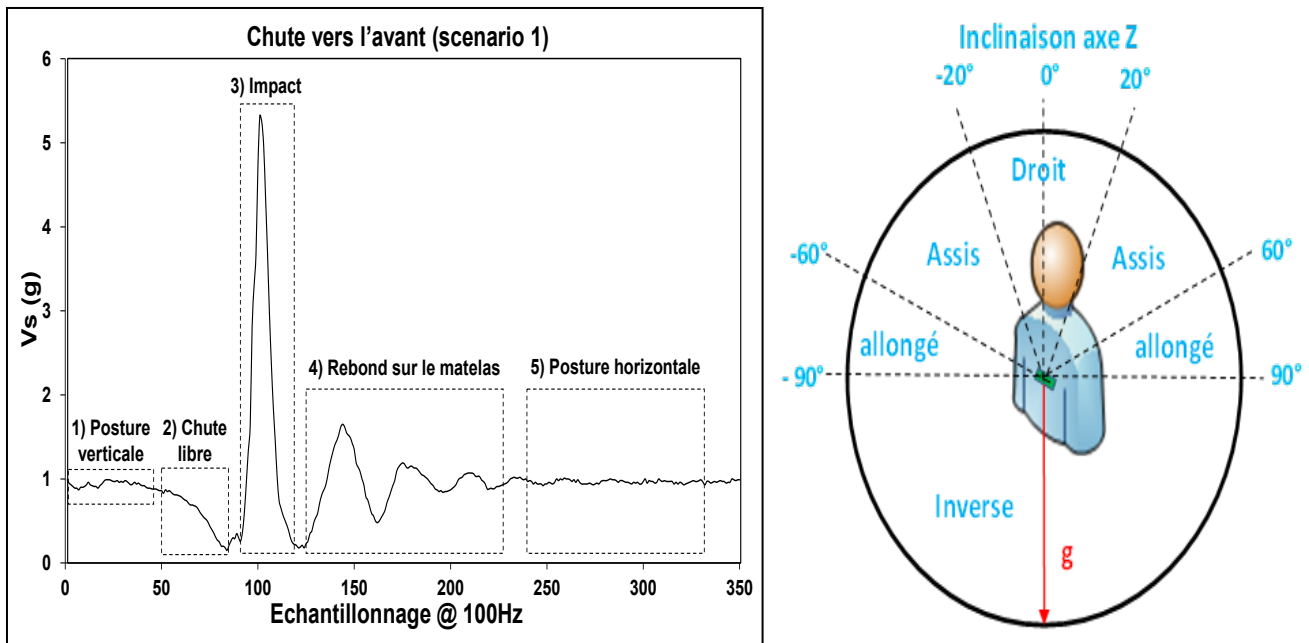


Figure 5. Signature accélérométrique d'une chute en avant et étapes de détection de la chute

L'algorithme développé présente une sensibilité et une spécificité mesurées à 98 % en laboratoire [Charlon et al. 2013d]. Ces résultats se situaient dans la partie haute des valeurs rapportées dans un article de référence [Shany et al. 2012] sur les détecteurs de chute portables, basés sur des mesures issues d'un accéléromètre triaxial sans recours à une méthode d'apprentissage, tout en tenant compte de l'hétérogénéité des protocoles de validation.

Il a également été évalué en conditions réelles d'usage, porté en continu pendant trois mois par deux patients en institution médicalisée. En situation réelle, la sensibilité atteint 87.5 % et la spécificité 99 % [Charlon et al. 2013d]. Ce résultat est supérieur à celui obtenu dans une étude similaire [Bloch et al. 2011], mettant en œuvre le système commercial Vigi'Fal, qui faisait référence en 2011.

3.2.1.2 Algorithme de localisation « indoor »

L'objectif était d'améliorer la fonction de localisation de la plateforme HOMECARE, initialement basée sur l'utilisation de capteurs de mouvement PIR, activés uniquement lorsque le patient se trouvait seul dans sa chambre à des horaires prédéfinis. Cette approche a été remplacée par un suivi continu dans l'ensemble de l'établissement médicalisé, reposant sur l'association des capteurs PIR et du patch porté par le patient.

Cet algorithme est basé sur la méthode « Cell-ID » [Kuo et al. 2010], qui exploite la puissance des échanges radio (RSSI - Received Signal Strength Indicator) entre le patch porté par l'utilisateur et les balises installées dans chaque pièce. Pour mettre en œuvre notre algorithme de localisation, le matériel a été déployé dans 3 pièces de 9 m² chacune, situées sur la plateforme ADREAM du LAAS-CNRS. Une balise 802.15.4 a été positionnée dans un coin de chaque pièce, afin de les éloigner au maximum pour limiter les zones de recouvrement. Deux capteurs PIR ont été installés dans chaque pièce, et leurs zones de couverture théorique au sol ont été reportées sur la Figure 6.

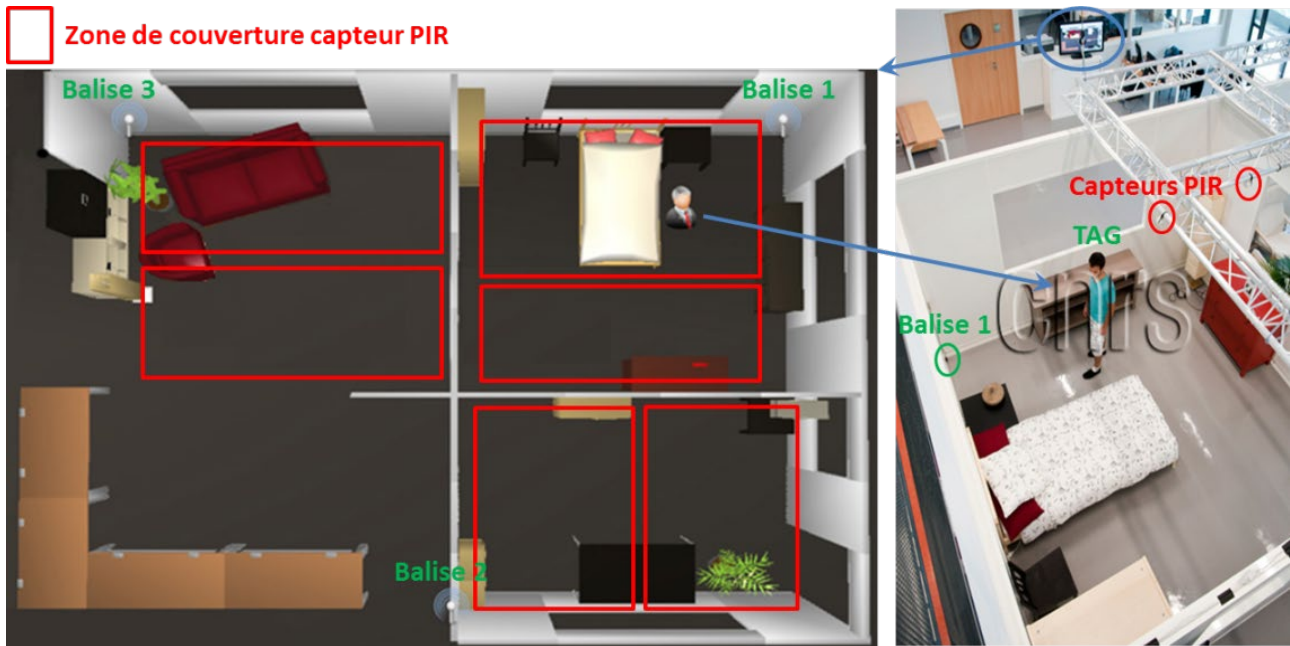


Figure 6. Expérimentation de mise en œuvre de la localisation « Cell ID »

L'objectif de cette disposition est de détecter l'entrée de la personne équipée du patch dans chaque pièce équipée d'une balise, puis de suivre ses déplacements et activités avec les capteurs PIR. La précision de la localisation est de 1 à 2 m², correspondant à la zone de couverture des capteurs PIR.

Les algorithmes de localisation et de détection de chute ont été utilisés pour suivre et assister deux patients au sein d'une institution médicalisée, comme le montre la Figure 7.



Figure 7. Zones de couverture des capteurs sur le plan virtuel de l'unité de soins

Le bilan de cette expérimentation montre que les fonctions développées sont adaptées à un usage réel [Charlon 2014; Charlon et al. 2013d].

3.2.2 Conception d'un télémètre à ultrasons

Le projet de recherche FIL visait la conception d'un système inertiel de navigation en intérieur, destiné à répondre aux besoins de guidage d'employés ou de visiteurs dans des bâtiments complexes. Ce type de système requiert des positions de référence à l'intérieur du bâtiment afin d'être recalibré régulièrement.

Dans ce cadre, **ma contribution a porté sur la conception de la partie communicante 802.15.4 d'un ensemble balise/télémètre à ultrasons** (Figure 8), permettant de fournir des positions de référence au système de navigation inertiel.

Le système repose sur l'association de deux technologies sans fil : les ultrasons et la radio. En combinant ces deux modes de transmission, il est possible de mesurer avec précision la distance entre le télémètre et la balise, grâce au calcul du temps de vol de l'onde ultrasonore.

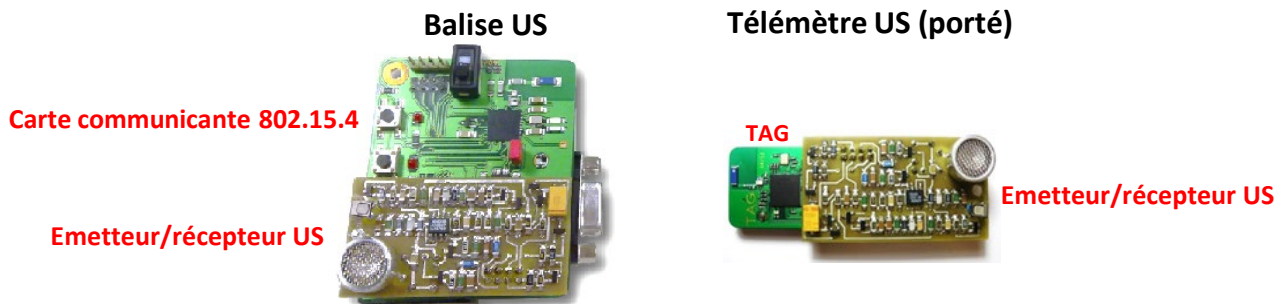


Figure 8. Balise US et Télémètre US

Le télémètre a été développé avec succès et a démontré des performances globalement supérieures à celles du système Cricket, développé par le MIT et considéré comme une référence en 2011. Ces deux systèmes, reposant sur le même principe de mesure, sont comparés sur la Figure 9 [Fourty et al. 2011].

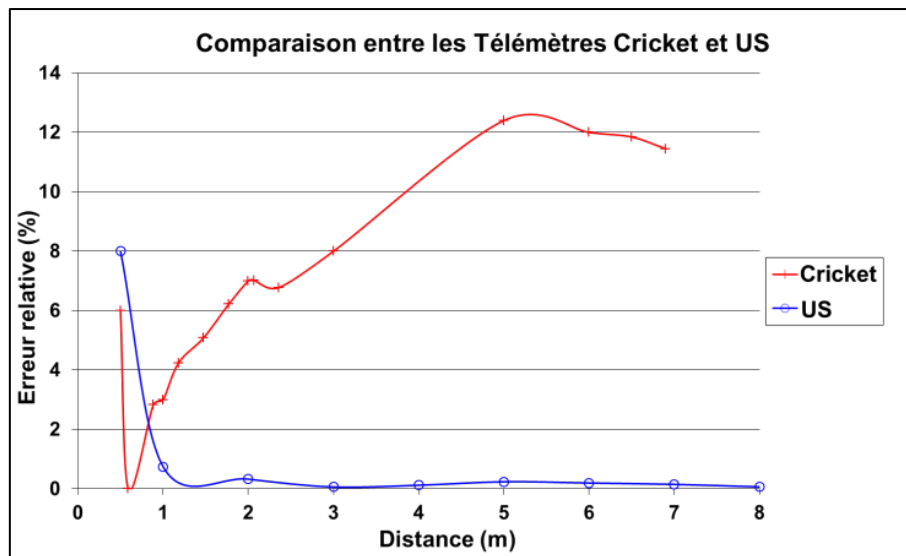


Figure 9. Erreur relative sur la mesure de distance des Télémètres Cricket et US

Au vu de ces résultats, nous avons décidé d'aller plus loin en explorant la possibilité d'utiliser l'ensemble balise/télémètre à ultrasons seul (sans mesure inertielle) pour mettre en place un algorithme de localisation et de mesure de déplacements. L'objectif était d'évaluer la pertinence de ce système pour assurer le suivi de personnes dépendantes en institution médicalisée.

J'ai ainsi eu l'opportunité d'encadrer mon premier stagiaire, Julien Cornier, étudiant en Master Systèmes Intelligents, qui m'a aidé à développer une méthode de localisation par trilatération. Il a également mis en place l'architecture système et réalisé les essais en laboratoire, présentés sur la Figure 10. Cette figure présente aussi l'expérimentation réalisée avec le télémètre fixé sur une chaussure, la représentation 2D du système de localisation, ainsi que les résultats obtenus en termes d'erreur absolue de localisation selon la position dans la pièce [Charlon et al. 2013e].

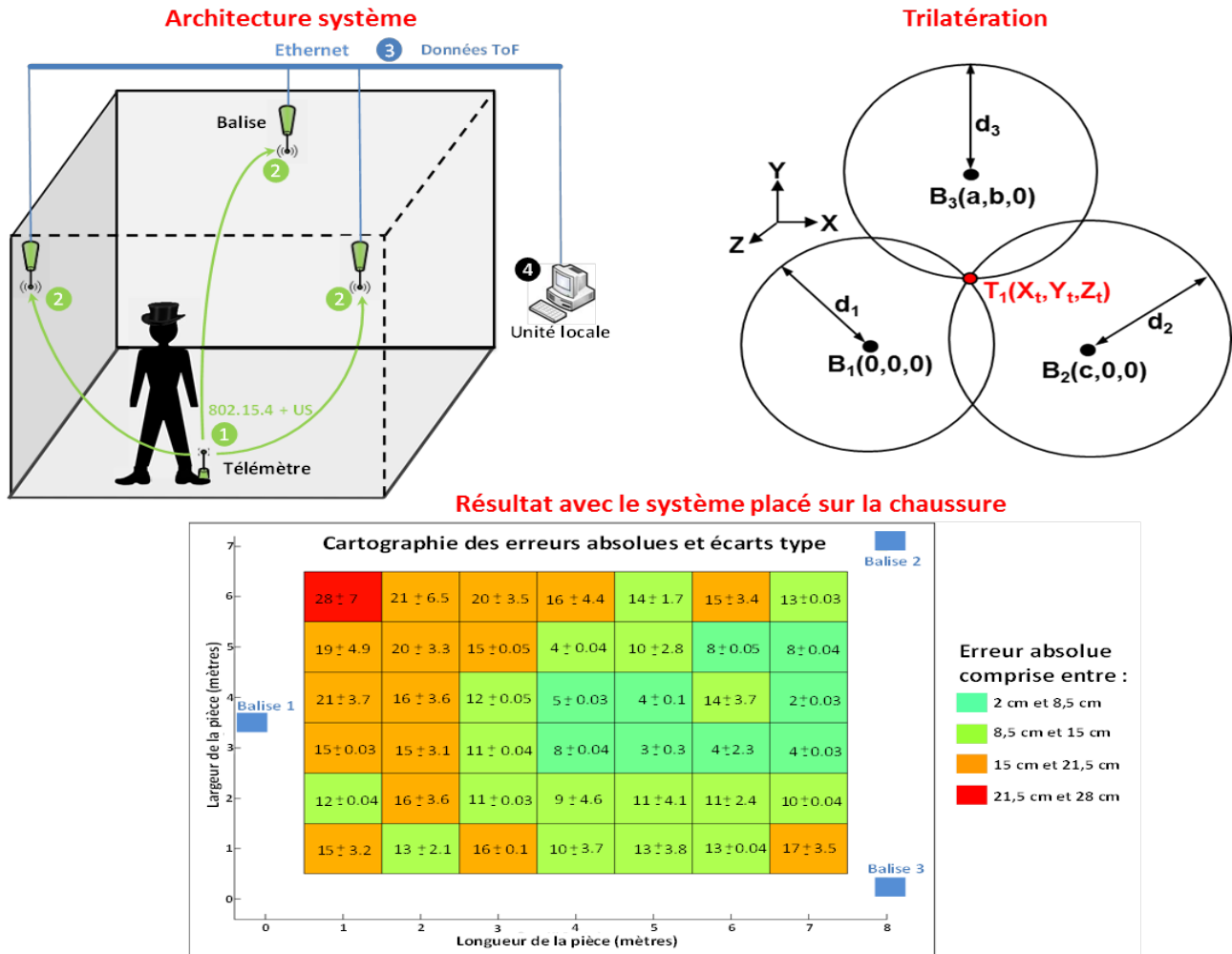


Figure 10. Expérimentation et résultats de la méthode de localisation par trilatération

Des mesures de la vitesse de marche en temps réel ont également été effectuées à partir de mesures régulières de position. Elles montrent une précision satisfaisante, avec une erreur inférieure à 10 % [Charlon et al. 2013e].

Malgré les bons résultats obtenus en termes de performances, les émetteurs à ultrasons se sont révélés difficiles à miniaturiser et à intégrer de manière discrète sur une personne ou dans un vêtement.

Notre objectif s'est alors orienté vers un suivi continu de la marche, en intérieur comme en extérieur, afin d'agir en amont de la perte d'autonomie et de mettre en place une démarche de prévention ciblée auprès de personnes âgées fragiles (pré-dépendantes), en encourageant la marche régulière.

J'ai alors réalisé un état de l'art des dispositifs portés de suivi de la marche [Charlon 2014]. Sur la base de cette analyse, j'ai proposé la conception d'un système original : une semelle connectée, permettant un suivi non intrusif de la marche de personnes fragiles.

3.2.3 Conception d'une semelle connectée

Ma contribution portait sur la proposition et la conception de plusieurs versions de semelles instrumentées, destinées au suivi ambulatoire de personnes âgées à domicile. L'objectif était de mesurer avec précision le nombre de pas, la distance parcourue et la vitesse de marche. Une fonction embarquée de détection d'une variation rapide du poids de la personne équipée de la semelle a également été mise au point. Le module électronique embarqué dans la première version de semelle était basé sur le dispositif patch présenté sur la Figure 4. Au fil des itérations, deux nouvelles versions ont permis d'apporter plusieurs améliorations : ajout de capteurs, miniaturisation, réduction de la consommation énergétique et récupération de l'énergie mécanique de la marche grâce à un générateur piézoélectrique (Figure 11). Le travail d'intégration du système dans la semelle a été mené en collaboration avec un podologue afin d'assurer le confort et l'adaptabilité de cette semelle à usage générique.

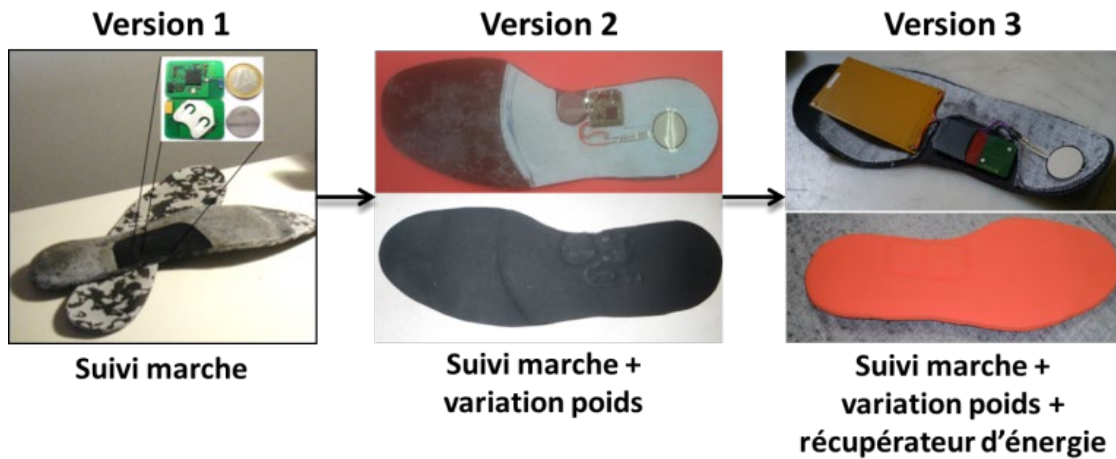


Figure 11. Versions de semelles développées

- **Version 1** : cette réalisation a permis de mettre au point, à l'aide d'un accéléromètre triaxial, un algorithme embarqué de détection des pas, ainsi qu'un algorithme de mesure de la distance et de la vitesse de marche [Charlon et al. 2013a; Piau et al. 2015; Charlon et al. 2018].
- **Version 2** : cette réalisation a permis de rendre le système plus transparent pour l'utilisateur, en réduisant significativement la taille et l'épaisseur du dispositif électronique et d'atteindre une autonomie énergétique théorique de 3 mois [Charlon et al. 2018].
- **Version 3** : cette réalisation a permis d'ajouter un système d'alimentation hybride, combinant une pile bouton et un récupérateur d'énergie pour prolonger l'autonomie du système. Il a été démontré que le système pouvait être alimenté de manière autonome lorsque la personne marche à une vitesse supérieure à 1 m/s [Charlon et al. 2013b; Charlon et al. 2018].

Au cours de la conception des différentes versions de semelles et de la mise au point des algorithmes associés, j'ai encadré deux travaux de fin d'études :

- Quoc Trung Mai, étudiant ingénieur en instrumentation physique, a travaillé sur la caractérisation de plusieurs capteurs de pression. Ce travail a permis d'identifier le capteur intégré dans la version 2 de la semelle.
- Imad Bourennane, étudiant ingénieur en électronique, a participé à la mise au point du système de récupération d'énergie intégré dans la semelle. Il est co-auteur de la première publication sur ce travail [Charlon et al. 2013b].

3.2.3.1 Mesure des paramètres de marche

La méthode de mesure des paramètres de marche repose sur deux étapes (Figure 12) :

- la détection des foulées et la mesure de la cadence de marche en nombre de pas par seconde, à l'aide d'un algorithme embarqué ;
- la mesure de la vitesse de marche et de la distance parcourue, réalisée de manière déportée, à partir de la longueur de foulée individuelle, mesurée pour chaque utilisateur à l'aide d'un système de calibration spécifiquement conçu à cet effet.

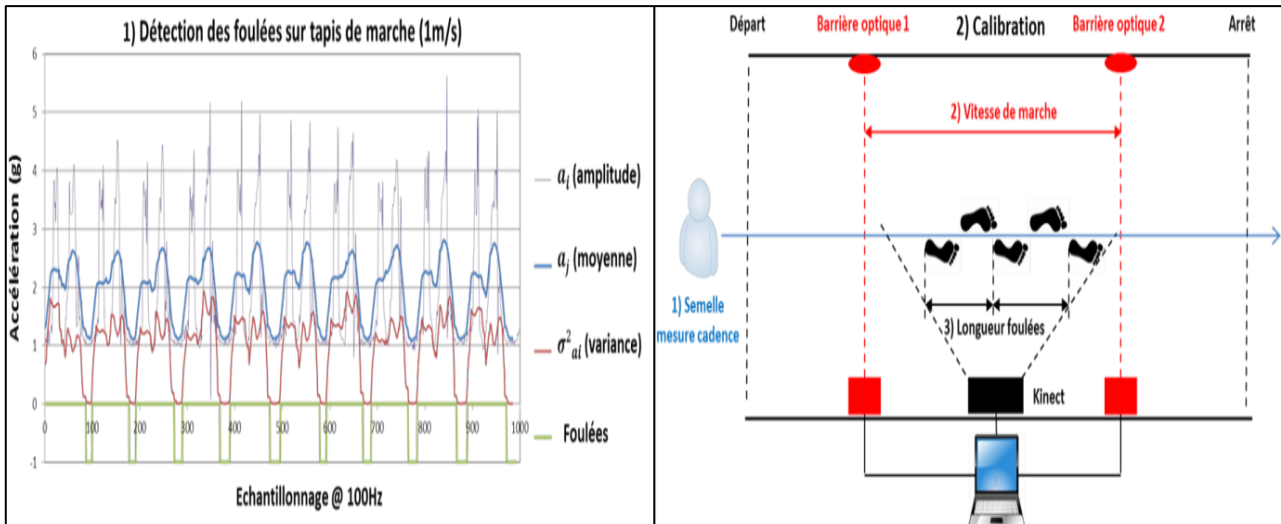


Figure 12. Méthode de mesure des paramètres de marche

La précision de l'algorithme embarqué de détection des pas est de 99 % [Charlon et al. 2013a; Piau et al. 2015]. L'algorithme de mesure de la distance et de la vitesse de marche atteint une précision de 96 % [Charlon et al. 2018]. Ces performances sont obtenues lors de marches rectilignes sur terrain plat, dans des conditions expérimentales contrôlées, chez des sujets jeunes et âgés ne présentant pas de troubles sévères de la marche.

3.2.3.2 Mesure de la variation du poids en ambulatoire et mise au point d'un système de récupération d'énergie

Concernant la version 2 de la semelle, le capteur de pression placé au niveau du talon a été exploité pour tenter de détecter une variation de poids importante (3 kg) sur une période courte (une semaine). Ce seuil de 3 kg en une semaine, défini avec les médecins gériatres du projet, visait à détecter des variations rapides de poids susceptibles de traduire une dégradation aiguë de l'état de santé.

L'analyse des données collectées en conditions contrôlées a permis de conclure qu'une variation de cet ordre est détectable (preuve de concept), comme le montre la Figure 13 [Charlon et al. 2018].

Une autre étude importante menée au cours de ces travaux fut la mise en œuvre d'un récupérateur d'énergie, visant à augmenter l'autonomie de la semelle (version 3). Le **récupérateur** conçu est composé d'un générateur piézoélectrique couplé à un convertisseur AC/DC **permettant d'alimenter partiellement la semelle lors des périodes de marche** [Charlon et al. 2018]. La Figure 13 présente les principaux résultats relatifs à la détection de la variation de poids et à la récupération d'énergie.

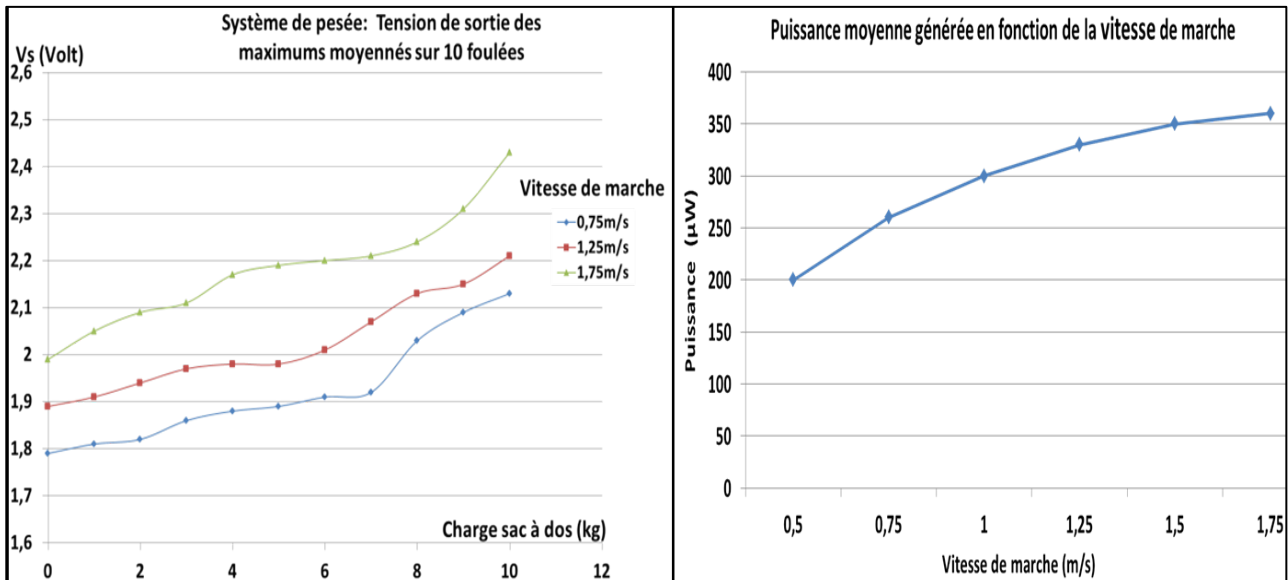


Figure 13. Résultats des fonctions de détection de variation de poids et de récupération d'énergie

3.2.3.3 Evaluation en conditions d'usage

Une première évaluation en conditions d'usage a été réalisée auprès de cinq utilisateurs, équipés de la semelle connectée pendant une semaine. La figure suivante montre le suivi d'un utilisateur sur une semaine, à travers des indicateurs journaliers basés sur le calcul des trois plus longues périodes de marche de chaque journée. Parmi ces indicateurs, la vitesse de marche occupe une place centrale, car elle est considérée par les médecins gériatres comme l'un des marqueurs les plus pertinents de l'évolution de l'état de santé [Charlon et al. 2018].

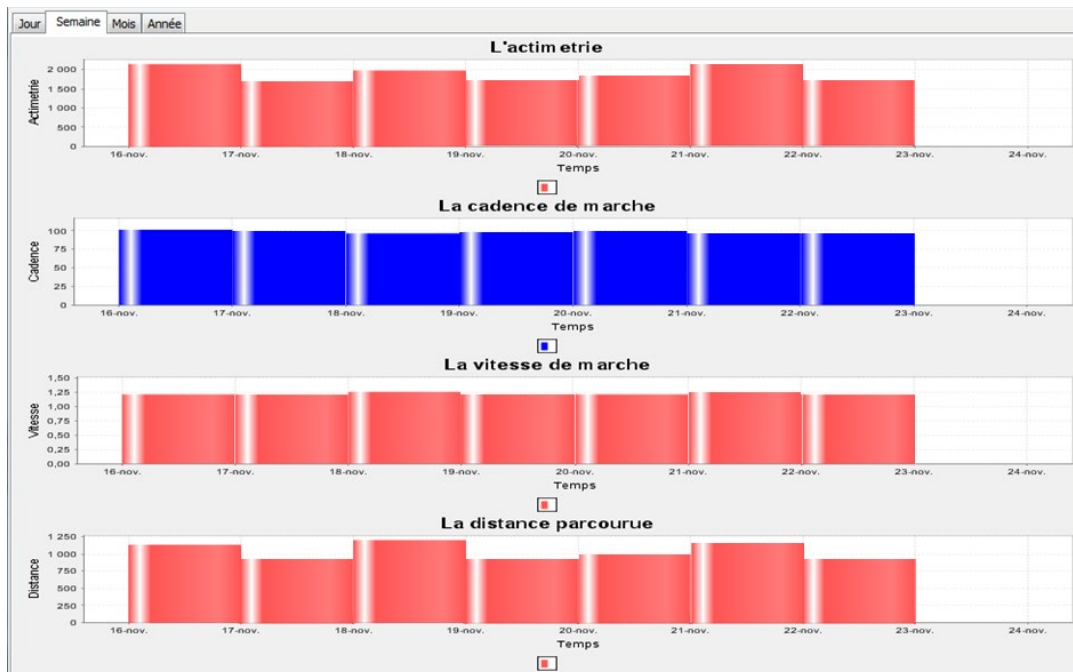


Figure 14. Suivi d'une personne sur une semaine à l'aide d'indicateurs journaliers calculés à partir des trois plus longues périodes de marche de chaque journée

Cette expérimentation a également permis de valider sur le plan technique la deuxième version de la semelle, et de formuler des recommandations concernant ses évolutions futures et ses usages potentiels [Charlon 2014; Charlon et al. 2018].

À l'issue de ma thèse, mes travaux couvraient déjà plusieurs dimensions des systèmes embarqués pour la santé connectée : la conception de dispositifs électroniques portés, la mise au point d'algorithmes embarqués et la validation de ces développements en contexte d'usage. **Le patch électronique, le système de télémétrie ultrasonore et surtout la semelle instrumentée ont ainsi posé un premier cadre méthodologique associant compacité, communication sans fil, traitement local et suivi fonctionnel. Les résultats obtenus sur la semelle ont en particulier ouvert la voie à une nouvelle étape de développement, davantage centrée sur l'intégration, l'autonomie et l'usage ambulatoire.** Ces recommandations ont été suivies lors de la conception d'un nouveau prototype, incluant notamment une communication Bluetooth 4.0 (BLE, pour Bluetooth Low Energy) et un système de recharge par induction. Cette nouvelle version a été développée dans le cadre du projet RESPECT et de mon post-doctorat.

3.3 Travaux de post-doctorat (2014-2017)

À la suite de l'obtention de mon doctorat, j'ai poursuivi mes travaux de recherche au sein de l'équipe S4M du LAAS-CNRS. Ma mission consistait à développer des systèmes embarqués pour la santé connectée et à participer au montage des projets associés, dans le cadre d'un partenariat entre le CHU de Toulouse et le LAAS-CNRS. Ce travail collaboratif a permis l'obtention de deux projets financés :

- **projet RESPECT (ANR, 2014-2018)** : conception d'une version préindustrielle de la semelle connectée, ainsi que son évaluation et sa validation à travers deux phases d'essais en conditions réelles (living lab), impliquant au total 12 personnes âgées en bonne santé [Charlon et al. 2019]. **Un essai clinique de suivi par la semelle, mené pendant trois mois en continu, a ensuite été réalisé auprès d'une cohorte de 35 patients fragiles** [Piau et al. 2021] ;
- **projet FRAGIL'IT (Régional, 2016-2018)** : conception d'un ensemble de systèmes connectés pour le suivi de l'état de santé de personnes âgées à domicile : semelle de suivi de la marche, pèse-personne et dynamomètre (mesure de la force de préhension). Dans le cadre de ce projet, j'ai contribué à la mise en œuvre d'une méthode de reconnaissance d'activité permettant d'identifier le moment optimal pour mesurer la variation de poids en ambulatoire à l'aide de la semelle instrumentée [Campo et al. 2018].

3.3.1 Conception d'une version préindustrielle de la semelle connectée

Ma contribution dans le cadre du projet RESPECT s'inscrivait dans la continuité de mes travaux de thèse, avec pour objectif de concevoir une version préindustrielle de la semelle connectée. Les tâches réalisées ont été les suivantes :

- la conception de l'électronique embarquée de la semelle et de son système de recharge par induction ;
- le développement de la communication BLE entre la semelle et une tablette, permettant le suivi des paramètres d'activité ;
- l'implémentation des algorithmes embarqués de suivi de la marche, ainsi que de nouvelles méthodes de caractérisation des activités ;
- le développement de la version BLE du système de calibration de la semelle ;
- la participation au suivi des phases d'évaluation et de validation de la semelle instrumentée (12 personnes), puis à la conduite de l'essai clinique (35 patients).

La première année du projet RESPECT a été consacrée à la conception de la nouvelle version de la semelle, présentée sur la Figure 15.

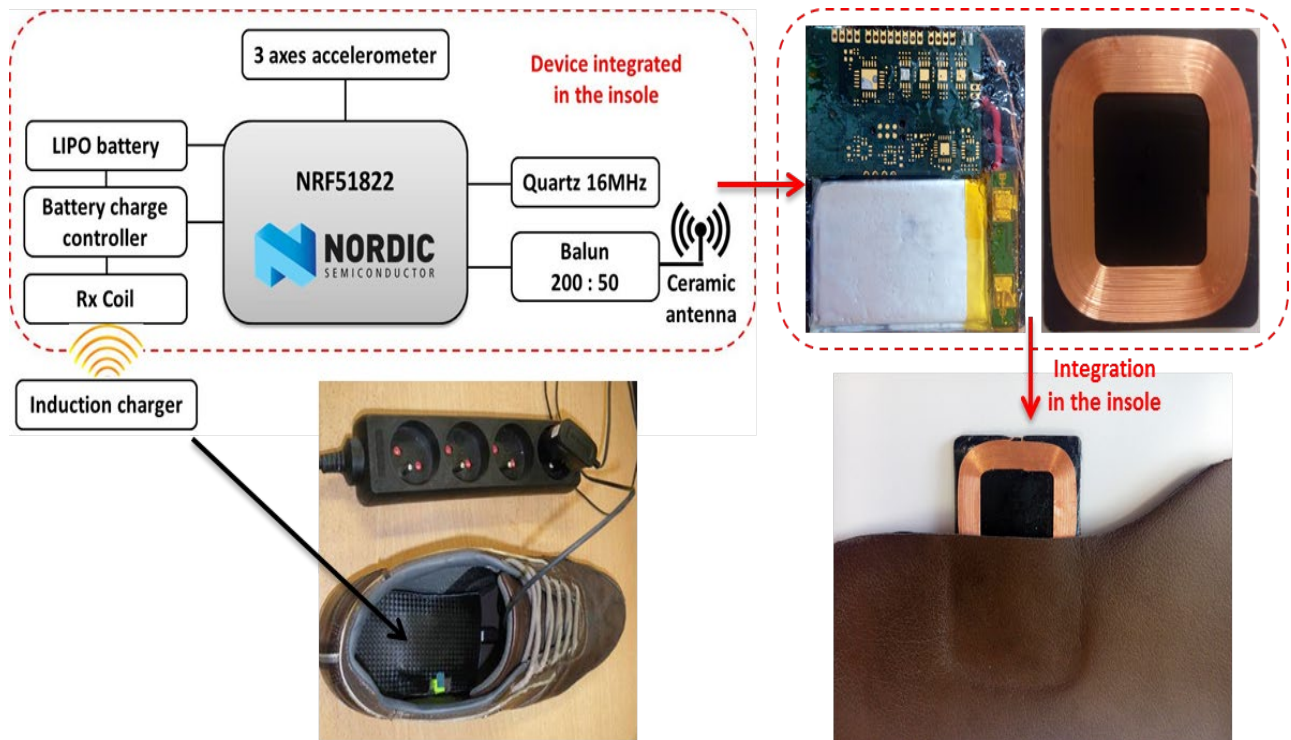


Figure 15. Version préindustrielle de la semelle connectée

Les algorithmes de mesure des paramètres de marche présentés précédemment ont été conservés et implémentés dans cette nouvelle version du système.

Cette tâche a été confiée à Xavier Lachenal, étudiant en Master Recherche Systèmes Autonomes, que j'ai encadré dans le cadre de son travail de fin d'études. Il a également participé à la mise en œuvre de la communication BLE entre la semelle et une tablette.

3.3.1.1 Evaluation et validation de la semelle connectée en living-lab

L'objectif principal de ce travail était d'évaluer l'ergonomie de l'interface utilisateur ainsi que le confort d'utilisation de la nouvelle version de la semelle intelligente (pour en mesurer l'acceptabilité) avant de lancer l'évaluation clinique. L'objectif secondaire était de vérifier si cette nouvelle version, associée à un système de calibration simplifié, permettait toujours d'atteindre une précision supérieure à 95 % pour la mesure de la vitesse de marche.

Le système opérationnel mis en place était le suivant (Figure 16):

- une tablette tactile pour la collecte des données issues de la semelle ;
- une base de données distante et sécurisée ;
- une application web destinée aux patients et aux professionnels de santé.

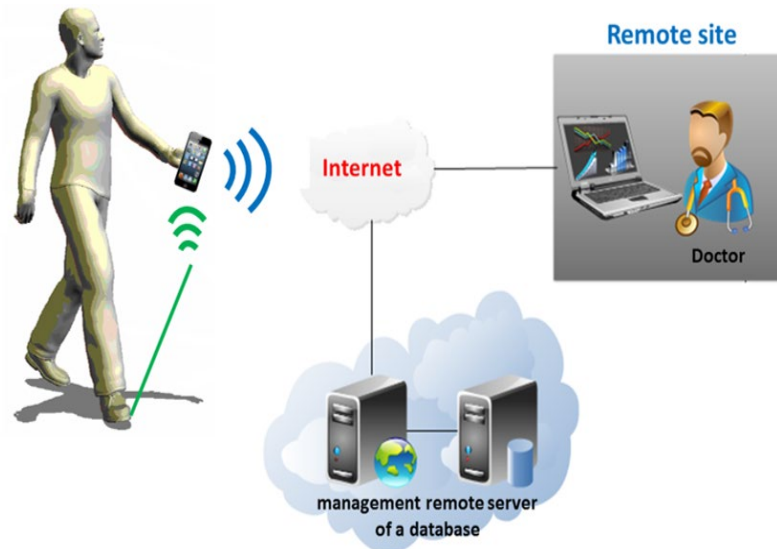


Figure 16. Système opérationnel

Les critères de suivi ont été enrichis et rendus accessibles via une interface utilisateur (Figure 17), développée par la société ACTIA, partenaire industriel du projet.



Figure 17. Interface utilisateur RESPECT (conçue par la société Actia)

Pour mesurer la vitesse de marche, la méthode était identique à celle décrite en section 3.2.3.1. Seul le système de calibration de la foulée a été modifié afin d'en simplifier le transport.

J'ai ainsi eu l'opportunité d'encadrer Bastien Belly, étudiant ingénieur en électronique, qui a conçu la version BLE du système de calibration de la semelle. Cette version avait pour objectif de faciliter le transport de l'équipement et de permettre la mesure de la foulée directement au domicile des patients suivis, comme l'illustre la Figure 18.

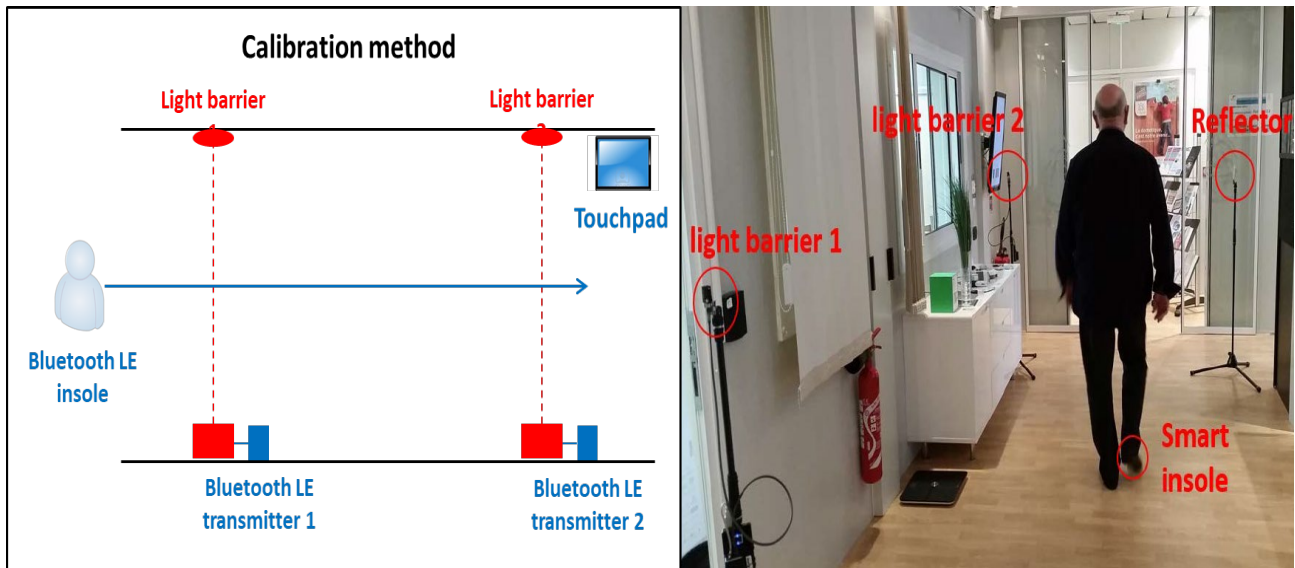


Figure 18. Système de calibration BLE simplifié

Dans un premier temps, des essais en laboratoire ont été réalisés par trois jeunes volontaires à différentes vitesses de marche, afin de mesurer la précision du système. Dans tous les cas, la précision mesurée a été supérieure aux 95 % souhaités [Charlon et al. 2019].

L'évaluation de la semelle connectée en living lab a ensuite été réalisée en deux phases :

- 1) une première phase impliquant neuf personnes âgées en bonne santé, testant le protocole de calibration et la semelle intelligente pendant une demi-heure sur un parcours défini ;
- 2) une seconde phase d'évaluation avec trois personnes âgées en bonne santé, suivies pendant un mois dans leur vie quotidienne.

La collecte des retours utilisateurs concernant l'utilisation de la semelle, de l'interface, du système de recharge, ainsi que du protocole de calibration (par exemple : confort de la semelle, ergonomie de l'application mobile), a été réalisée au moyen d'entretiens semi-directifs menés auprès des participants. La collecte des données a été assurée par une attachée de recherche clinique.

Le bilan de cette évaluation a été positif [Charlon et al. 2019]:

- les interfaces destinées aux utilisateurs finaux ont été jugées globalement ergonomiques, bien que quelques remarques aient permis d'en améliorer l'usage ;
- l'évaluation de l'acceptabilité de la semelle a été très positive : aucun volontaire n'a signalé d'inconfort.

Cette évaluation favorable en living lab a ainsi permis d'initier l'évaluation clinique.

3.3.1.2 Evaluation clinique de la semelle connectée

Mon rôle dans le cadre de cette expérimentation a été d'assurer le transfert des données techniques (schémas, nomenclatures, codes, etc.) et du protocole de calibration, afin de permettre à un sous-traitant de fournir l'ensemble du matériel (les semelles, les tablettes et un système de calibration supplémentaire) et d'assurer la maintenance technique tout au long de l'évaluation clinique. J'ai également participé aux réunions d'avancement liées à cette évaluation.

Cette étude visait à évaluer l'acceptabilité, par des personnes âgées fragiles, d'une semelle instrumentée capable de mesurer la vitesse de marche et de distinguer la marche active du piétinement, après une phase de calibration de la longueur de pas.

Une cohorte de 35 patients fragiles a participé à cette évaluation clinique. Une méthodologie qualitative, combinant entretiens semi-directifs en face-à-face et par téléphone, a été utilisée pour mener l'évaluation. **Cette expérimentation inédite, au moment de sa publication en 2021, a mis en évidence le potentiel d'une semelle instrumentée pour promouvoir la santé en encourageant le maintien de la marche** [Piau et al. 2021].

3.3.2 Nouvelles méthodes de classification des activités de marche

En parallèle du projet RESPECT, j'ai également contribué au développement de nouvelles méthodes de classification des activités de marche en exploitant les données issues de l'accéléromètre. L'objectif était de différencier les activités de marche sur terrain plat, à différentes allures, en montée et en descente, afin de pondérer plus précisément la longueur du pas et les paramètres de marche calculés. La distinction entre ces activités a été réalisée à l'aide de techniques de classification, en analysant plusieurs caractéristiques de l'accélération sur une ou plusieurs foulées telles que l'amplitude, la fréquence, la durée ou encore l'aire sous la courbe d'accélération. La Figure 19 montre deux exemples de classification utilisant l'amplitude et l'aire de l'accélération.

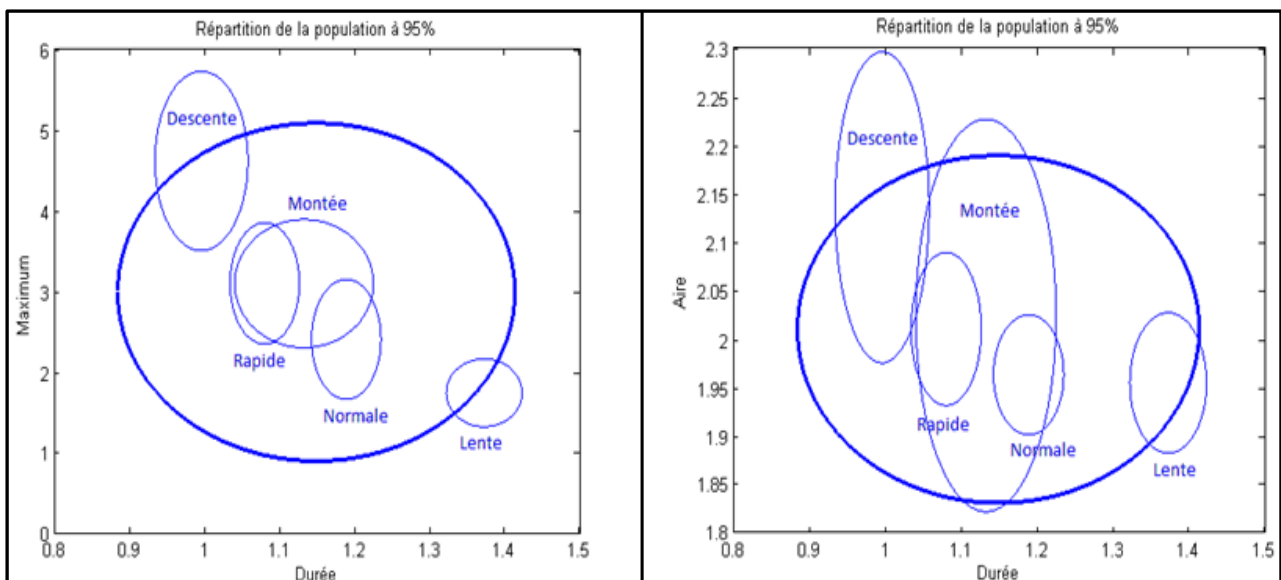


Figure 19. Répartition à 95 % des activités de marche selon les caractéristiques calculées.

Une des conclusions de ces mesures est qu'il est possible de détecter une activité de marche à vitesse normale sur une surface plane à l'aide d'un accéléromètre [Charlon et al. 2018]. La détection d'une activité de marche dans des conditions reproductibles nous a permis de reprendre les travaux de mesure de la variation de poids en ambulateur avec la semelle dans le cadre du projet FRAGIL'IT.

3.3.3 Mise au point d'un système de mesure de la variation de poids via la semelle connectée

Ma contribution dans le cadre du projet FRAGIL'IT s'inscrivait dans la continuité des travaux menés sur la semelle connectée, avec pour objectif de compléter le suivi clinique par un pèse-personne connecté et un dynamomètre connecté. Les tâches réalisées ont été les suivantes :

- la réalisation d'un état de l'art visant à identifier une solution technique adaptée au quotidien des personnes âgées suivies (Figure 20) ;
- la mise au point de la mesure de la variation de poids en ambulatoire à l'aide de la semelle.

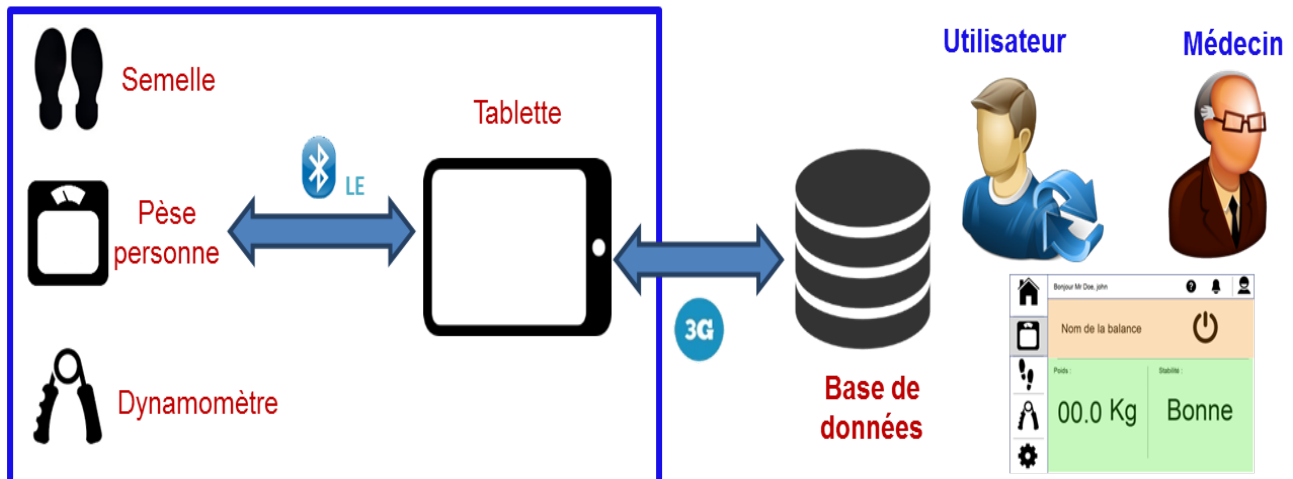


Figure 20. Ensemble opérationnel du système FRAGIL'IT

L'objectif de la mesure de la variation de poids en ambulatoire était de détecter une variation significative de poids (3 kg) sur une période courte (une semaine), comme présenté dans la section 3.2.3.2. Dans le cadre de ce projet, nous souhaitons comparer cette mesure ambulatoire aux mesures réalisées une fois par semaine par le pèse-personne connecté.

Pour mener à bien cette tâche, j'ai eu l'opportunité d'encadrer Elodie Bouzbib, étudiante en Master Matériaux Avancés et Structures.

Dans un premier temps, nous avons réalisé un prototype spécifique de semelle, équipé de deux capteurs de pression reliés à un système d'acquisition externe, comme le montre la Figure 21.

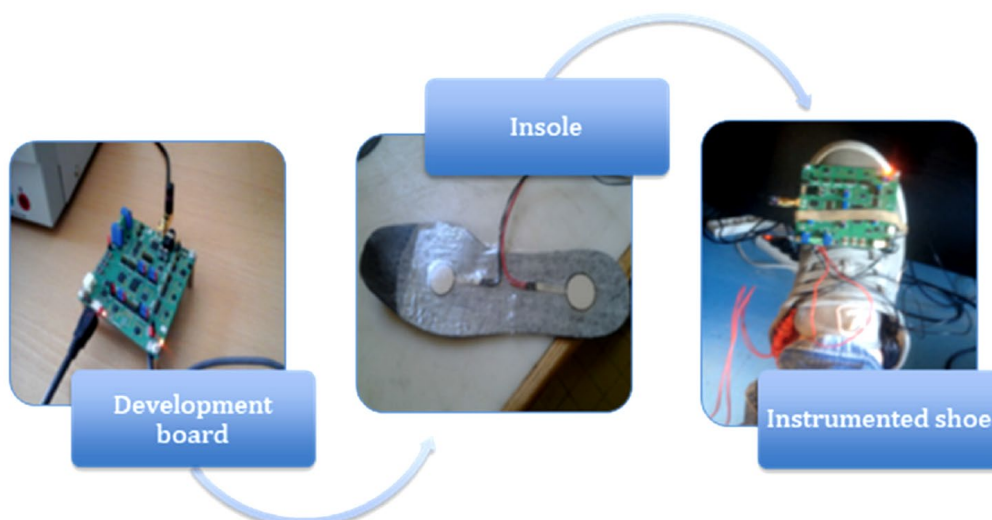


Figure 21. Système d'acquisition de la semelle FRAGIL'IT

Dans un second temps, nous avons poursuivi le travail de classification des activités en exploitant les données générées par différentes activités de marche, à partir d'un accéléromètre placé sur une chaussure et des deux capteurs de pression intégrés dans la semelle. Cela nous a permis de comparer plusieurs méthodes de classification sous Matlab. **Les principaux résultats de cette étude [Campo et al. 2018] sont :**

- plusieurs méthodes de classification atteignent plus de 95 % de précision pour la reconnaissance de l'activité de marche modérée sur terrain plat ;
- une précision supérieure à 97 % a été obtenue pour la mesure de variation de poids en ambulatoire, en moyennant plusieurs mesures sur une journée lors de la marche modérée sur du plat.

Ma collaboration avec le LAAS-CNRS s'est poursuivie à distance après mon recrutement en tant que maître de conférences à Polytech'Lab en 2017, en particulier sur le suivi de l'étude clinique du projet RESPECT, encore en cours au moment de mon départ, ainsi que sur la valorisation des travaux qui n'avaient pas encore été publiés.

3.4 Conclusion sur mes travaux effectués au LAAS-CNRS

Les travaux que j'ai menés au LAAS-CNRS dans le cadre de ma thèse puis de mon post-doctorat relèvent tous de la **conception de systèmes embarqués innovants**. Ces travaux ont en commun de **répondre aux besoins exprimés par les médecins gériatres : disposer d'outils connectés permettant de suivre l'activité de leurs patients afin de mieux prévenir les risques, d'évaluer l'évolution de leur état de santé, d'adapter leur prise en charge et d'intervenir rapidement en cas d'événement critique**.

Dans ce contexte, j'ai principalement contribué à la **conception de deux systèmes originaux :**

- un **patch électronique** pour le suivi et la surveillance de patients dépendants en institution ;
- une **semelle connectée** destinée au suivi des patients fragiles à domicile.

Le patch électronique a constitué une première contribution importante, en m'amenant à articuler électronique embarquée, communication basse consommation et traitement utile de l'information. **Le développement de la semelle connectée a toutefois davantage structuré cette phase de mon parcours, en faisant converger miniaturisation, communication sans fil, traitement embarqué, suivi fonctionnel et validation en contexte d'usage**. Les travaux de post-doctorat ont prolongé cette dynamique à travers une étape supplémentaire d'intégration, de validation et de transfert, avec le développement d'une version préindustrielle et son extension vers de nouvelles fonctions de suivi ambulatoire.

Ces projets m'ont permis d'approfondir la conception de systèmes embarqués, sur les aspects matériels et logiciels, ainsi que le traitement de signaux embarqués. Ils ont également constitué un socle méthodologique important pour la suite de mon activité scientifique, en m'apprenant à partir de besoins applicatifs concrets, à articuler conception, expérimentation et validation, et à inscrire les développements technologiques dans une logique de transfert. Les chapitres suivants prolongent cette dynamique, mais avec **un déplacement progressif du niveau d'intervention, des systèmes embarqués vers les briques microélectroniques**.

4 TRAVAUX DE RECHERCHE A POLYTECH'LAB (DEPUIS 2017)

4.1 Conception de circuits intégrés analogiques et RF en technologie UTBB-FDSOI 28 nm

J'ai été recruté en septembre 2017 à Polytech Nice Sophia en tant que maître de conférences, avec une affectation au laboratoire Polytech'Lab, pour y mener des recherches en microélectronique, dans la continuité des problématiques abordées jusque-là au niveau des systèmes embarquée.

J'ai ainsi progressivement structuré **un axe de recherche centré sur la conception de circuits analogiques, RF et mixtes, en particulier en technologie UTBB-FDSOI. Cet axe repose sur l'exploitation de la grille arrière comme levier de conception, afin d'améliorer la consommation, la compacité et la robustesse des blocs fonctionnels.** Ces travaux ont été conduits en collaboration avec des doctorants et collègues du laboratoire, dans une logique de co-conception allant des briques de base jusqu'aux fonctions système, avec une attention particulière portée à la maîtrise des dispersions et, plus généralement, à la robustesse des solutions proposées.

J'ai notamment collaboré avec Zhaopeng Wei sur la finalisation de son sujet de thèse, soutenue en 2019 [Wei 2019], portant sur la conception de nouveaux blocs de base pour la mise en œuvre d'une PLL (Phase-Locked Loop) en technologie UTBB-FDSOI 28 nm [Jacquemod et al. 2019]. Ces premiers travaux ont constitué une étape importante pour la suite de mes recherches, en montrant comment l'exploitation de la grille arrière pouvait être mobilisée, notamment au niveau de cellules élémentaires (inverseur complémentaire et miroirs de courant).

Dans ce prolongement, nous avons proposé en 2020 un sujet de stage, puis une thèse, à Yuqing Mao, que j'ai encadrée à 70 %. Ce travail portait principalement sur la conception d'un CDR innovant basse consommation, réutilisant certains blocs et principes développés dans la thèse de Z. Wei. Cette thèse a été soutenue en 2023 [Mao 2023] et a donné lieu à plusieurs publications en conférences internationales ainsi qu'à deux articles dans des journaux internationaux [Mao et al. 2024a; Mao et al. 2024b]. Le choix d'un CDR s'est révélé particulièrement pertinent, car il a permis d'évaluer cette logique de conception à l'échelle d'une fonction RF complète, soumise à des contraintes fortes de consommation, de rapidité de capture et d'intégration pour les communications IoT en mode rafale.

En parallèle, j'ai également repris et poursuivi le travail de Hassan Jouni, qui a soutenu sa thèse en 2018 sur la conception de cellules analogiques CMOS pour réseaux de neurones en technologie CMOS 130 nm [Jouni 2018]. L'objectif était d'adapter ces cellules à la technologie UTBB-FDSOI 28 nm en réduisant leur consommation et leur surface occupée. J'ai ainsi proposé et simulé un nouveau circuit multiplieur, bloc de base d'une synapse, dont la structure originale permet de réduire à la fois la consommation et la surface. Ce travail a donné lieu à une publication en conférence internationale [Charlon et al. 2024]. Dans cette continuité, nous avons proposé un sujet de stage, puis une thèse, à Zhiwei Ma, que j'encadre actuellement à 70 %.

Cette thèse porte sur la conception et la réalisation d'un RNAA en technologie UTBB-FDSOI, et a déjà donné lieu à une publication en conférence internationale [Ma et al. 2025]. Cette seconde direction reprend la même logique de conception, appliquée cette fois à l'intelligence embarquée basse consommation.

Avant de présenter plus en détail ces travaux, il est utile de rappeler les principaux atouts de la technologie UTBB-FDSOI 28 nm. Ce rappel vise à présenter la technologie et montre comment ses propriétés conditionnent les choix de conception développés dans les sections suivantes. Cette technologie constitue ainsi un levier central dans l'orientation de mes travaux de recherche.

4.1.1 Rappel sur la technologie UTBB-FDSOI

Le transistor MOS classique à substrat massif (technologie bulk) a constitué l'un des principaux moteurs des progrès de l'industrie des semi-conducteurs au cours des dernières décennies. Grâce à la réduction continue des dimensions, à l'amélioration des performances et à la baisse des coûts de fabrication, la technologie bulk a permis de suivre la loi de Moore [Moore 2006] et de produire des dispositifs toujours plus compacts, puissants et économes en énergie. A mesure que les dimensions du transistor bulk diminuent, le contrôle électrostatique du canal, c'est-à-dire la capacité de la grille à moduler efficacement le courant, devient de plus en plus difficile. Cette évolution entraîne l'apparition d'effets indésirables dits de canal court (Short Channel Effects, SCE), ainsi qu'une augmentation des courants de fuite, qui dégradent la fiabilité des dispositifs, la consommation d'énergie et les performances des circuits intégrés [Sakurai 2006].

De plus, à partir du nœud technologique 45 nm, la poursuite de la miniaturisation devient difficile sans évolution de l'architecture des transistors. En effet, il a été démontré qu'à partir de ce nœud, la fluctuation aléatoire des dopants (Random Dopant Fluctuation, RDF) représente un défi majeur pour le transistor bulk, car son fonctionnement repose sur du silicium dopé [Asenov et al. 2009]. Cette variabilité rend l'appariement des transistors difficile (mismatch), ce qui limite l'efficacité et la fiabilité des circuits en technologie bulk.

Malgré l'introduction de plusieurs avancées technologiques visant à maintenir un contrôle électrostatique efficace, telles que l'implantation de poches (pocket implantation), l'utilisation de silicium sous contrainte (strained silicon), et l'ajout des zones de drain légèrement dopées (Lightly Doped Drain, LDD), il a été montré que ces solutions atteignent leurs limites [Clerc et al. 2020] et deviennent peu viables industriellement au-delà du nœud technologique 22 nm [Jones 2014].

Ainsi, les transistors à canal non dopé apportent une réponse particulièrement pertinente aux limites du transistor MOS planaire à partir du nœud technologique 28 nm. Les technologies FinFET et UTBB-FDSOI représentent deux approches innovantes reposant sur des transistors en silicium non dopé. Le transistor FinFET offre de nombreux avantages : il améliore les performances, augmente la densité d'intégration, réduit les SCE et limite efficacement les courants de fuite [Colinge 2008; Hu 2011]. Cependant, en raison du coût élevé et de la complexité du procédé de fabrication de sa structure 3D, cette technologie reste principalement adoptée par de grands acteurs industriels du semi-conducteur, positionnés sur des applications à hautes performances, en particulier numériques, tels qu'Intel ou Samsung.

La technologie UTBB-FDSOI constitue une alternative intéressante aux technologies bulk et FinFET, déjà utilisée pour des circuits à très faible consommation, notamment dans l'IoT, l'automobile et les dispositifs mobiles [Clerc et al. 2020]. En effet, cette technologie repose sur une structure planaire qui offre les avantages de la réduction des géométries en silicium tout en limitant la complexité des processus de fabrication et donc le coût, ce qui la rend particulièrement compétitive pour les applications basse consommation par rapport aux technologies FinFET et bulk à partir du nœud 28 nm [Jones 2014]. Par rapport à la technologie bulk, sa fabrication supprime notamment les implants de canal et halos, ce qui réduit le nombre d'étapes et de masques, avec un gain de coût global d'environ 10 % [Cathelin 2017].

Cette technologie permet un meilleur contrôle électrostatique et réduit la variabilité entre transistors, ce qui contribue à réduire la consommation d'énergie et à améliorer les performances [Clerc et al. 2020]. De plus, un transistor UTBB-FDSOI permet un ajustement dynamique de la tension de seuil grâce à la polarisation de sa grille arrière, offrant ainsi un contrôle supplémentaire sur les performances du dispositif. Deux études montrent qu'elle peut ainsi surpasser la technologie FinFET sur le plan de la consommation pour des applications mobiles ou IoT [Weber 2017; Carter et al. 2016].

4.1.2 Limitations du transistor bulk

Dans nos travaux de recherche, nous nous intéressons aux atouts du transistor UTBB-FDSOI sur le plan des performances analogiques, notamment à sa capacité à réduire la consommation énergétique par rapport au transistor bulk. En effet, les SCE, notamment le DIBL (Drain-Induced Barrier Lowering - réduction de la barrière induite par le drain) et les fuites de courant réduisent l'efficacité énergétique du transistor bulk en technologie avancée.

À partir de 90 nm, la distance entre la source et le drain devient du même ordre de grandeur que l'extension des régions de déplétion [Leite 2019]. Dans ce cas, les régions de déplétion du drain et de la source se confondent, ce qui réduit la barrière de potentiel dans le canal et donc V_{TH} , comme l'illustre la Figure 22. L'application de V_{DS} influence également la profondeur de la région de déplétion, réduisant encore la barrière de potentiel (DIBL) comme présenté en Figure 22. Le DIBL réduit donc V_{TH} et augmente sa variabilité.

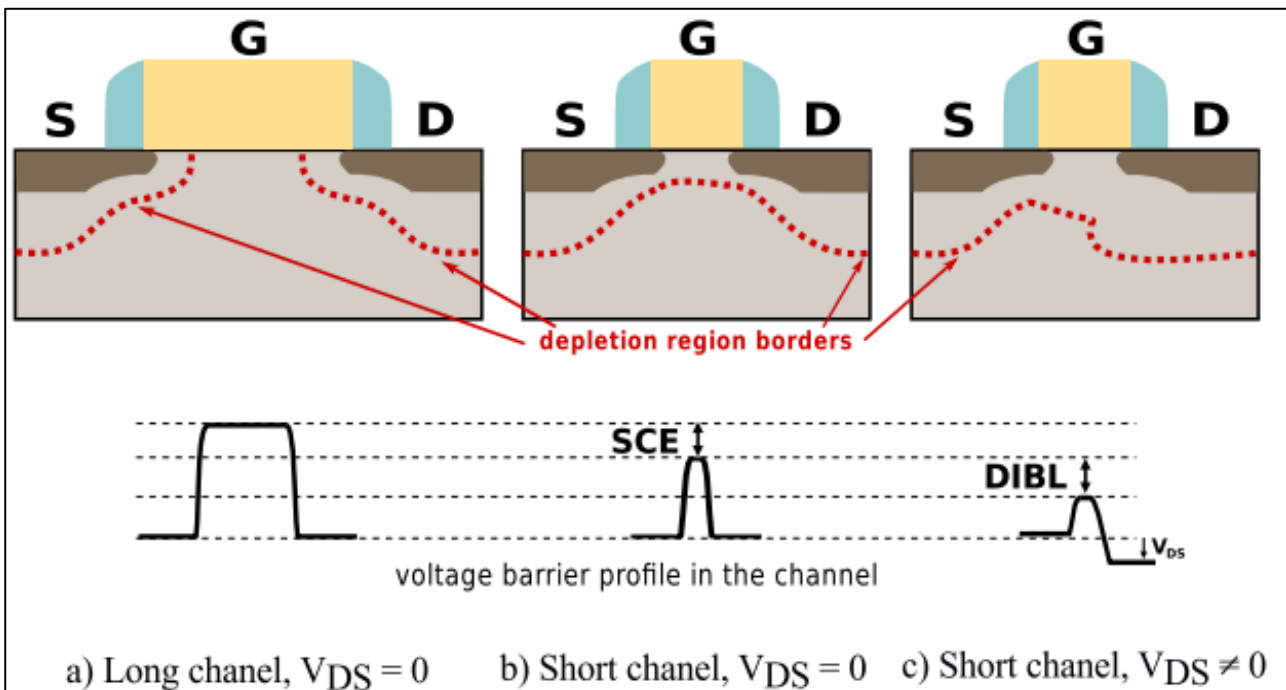


Figure 22. Réduction de la barrière de potentiel [Leite 2019]

L'abaissement de la barrière de potentiel favorise notamment le passage des porteurs majoritaires, même dans le cas où le transistor est théoriquement bloqué, ce qui conduit à une augmentation significative des courants de fuite en mode bloqué (I_{off}) et donc de la consommation statique.

Un aperçu des différents courants de fuite dans un transistor bulk est présenté en Figure 23.

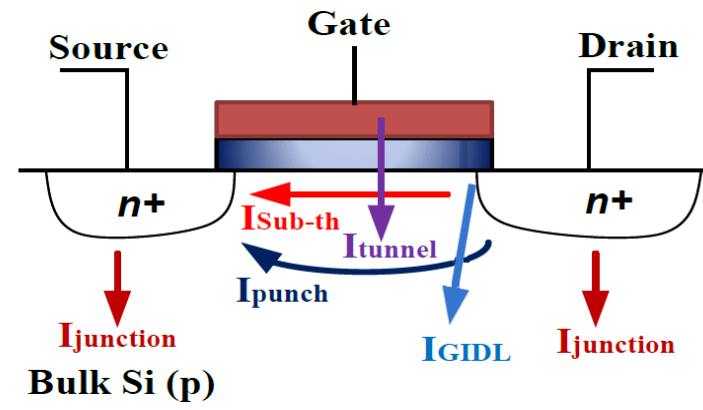


Figure 23. Courants de fuite dans un transistors bulk [Bikki and Karuppanan 2017]

Ces courants de fuite augmentent avec la réduction des dimensions, l'augmentation des dopages et des champs électriques (perte de contrôle électrostatique). Les courants suivants sont principalement présents lorsque le transistor est bloqué et contribuent fortement à la consommation statique :

- $I_{\text{Sub-th}}$ (Subthreshold leakage) : il se produit en faible inversion lorsque V_{GS} est inférieur à V_{TH} . Il augmente avec la réduction de la barrière de potentiel et donc avec le DIBL [Roy et al. 2003].
- I_{GIDL} (Gate-Induced Drain Leakage) : il se produit lorsque la grille est polarisée négativement par rapport au drain. Il augmente avec la réduction de l'épaisseur d'oxyde de grille, la diminution de la tension de seuil et l'augmentation de la différence de potentiel drain-grille. Ce courant est notamment accentué par le DIBL [Roy et al. 2003; Bikki and Karuppanan 2017].
- I_{punch} (Punch-through leakage) : il se produit lorsque la région de déplétion du drain et de la source se rejoignent, faisant apparaître un courant non contrôlé entre le drain et la source, qui augmente également avec le DIBL [Roy et al. 2003; Bikki and Karuppanan 2017].

Les courants de fuite suivants sont présents aussi bien à l'état passant qu'à l'état bloqué et contribuent à la consommation statique :

- I_{junction} (Junction leakage) : il se produit lors de la polarisation inverse des jonctions PN de drain et de source. La réduction des dimensions favorise l'augmentation du dopage des jonctions qui augmente ce phénomène [Roy et al. 2003].
- I_{tunnel} (Tunneling leakage) : il se produit par effet tunnel des électrons à travers l'oxyde de grille. La probabilité que des électrons traversent la barrière de potentiel augmente avec le champ électrique vertical et avec la réduction de l'épaisseur de l'oxyde de grille [Roy et al. 2003].

Enfin, la limitation majeure du transistor bulk à partir du nœud 32 nm, qui impacte la fiabilité et les performances analogiques, est liée à la forte variation de la tension de seuil (V_{TH}). À partir du nœud 32 nm, la région du canal contient en moyenne moins de 100 atomes de dopants, ce qui entraîne une grande variabilité du nombre de dopants, et donc de V_{TH} entre transistors adjacents et supposés identiques sur un même circuit [Kuhn 2008].

Avec la réduction des dimensions, d'autres sources de variabilité s'accroissent et dégradent encore la fiabilité du transistor bulk, notamment la granularité du polysilicium et la rugosité des bords de ligne (fluctuations de la position des bords des motifs lithographiques). Comme l'ont montré Asenov et al., ces mécanismes constituent les principales sources de variabilité statistique dans les technologies bulk nanométriques, la RDF devenant le facteur dominant des fluctuations de V_{TH} (Figure 24).

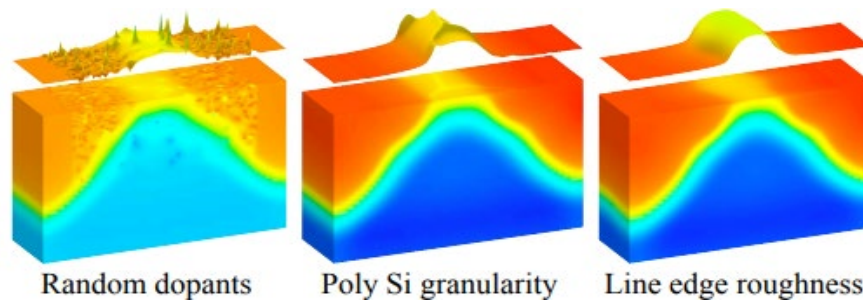


Figure 24. Distributions de potentiel typiques en fonction des sources de variabilité d'un transistor bulk 35 nm [Ase-nov et al. 2008]

En résumé, la réduction des dimensions dans le transistor MOS entraîne une perte de contrôle électrostatique, ce qui provoque une **augmentation des SCE, en particulier du DIBL**, une augmentation des courants de fuite et de la consommation statique. De plus, à **partir du nœud 32 nm, la variabilité du transistor bulk liée au dopage du canal devient un problème majeur, réduisant considérablement la fiabilité et les performances du transistor bulk par rapport aux technologies à canal non dopé.**

4.1.3 Améliorations apportées par le transistor UTBB-FDSOI

La Figure 25a représente la section transversale d'un transistor UTBB-FDSOI en 28 nm, utilisé dans nos travaux de recherche. Grâce à l'épaisseur ultra-mince du canal (Ultra-Thin Body, 7 nm), qui repose sur une couche isolante enterrée ultra-mince (Ultra-Thin Buried Oxide, 25 nm), le canal est sous l'influence quasi totale du champ électrique de la grille, ce qui permet de le dépléter complètement (Fully Depleted).

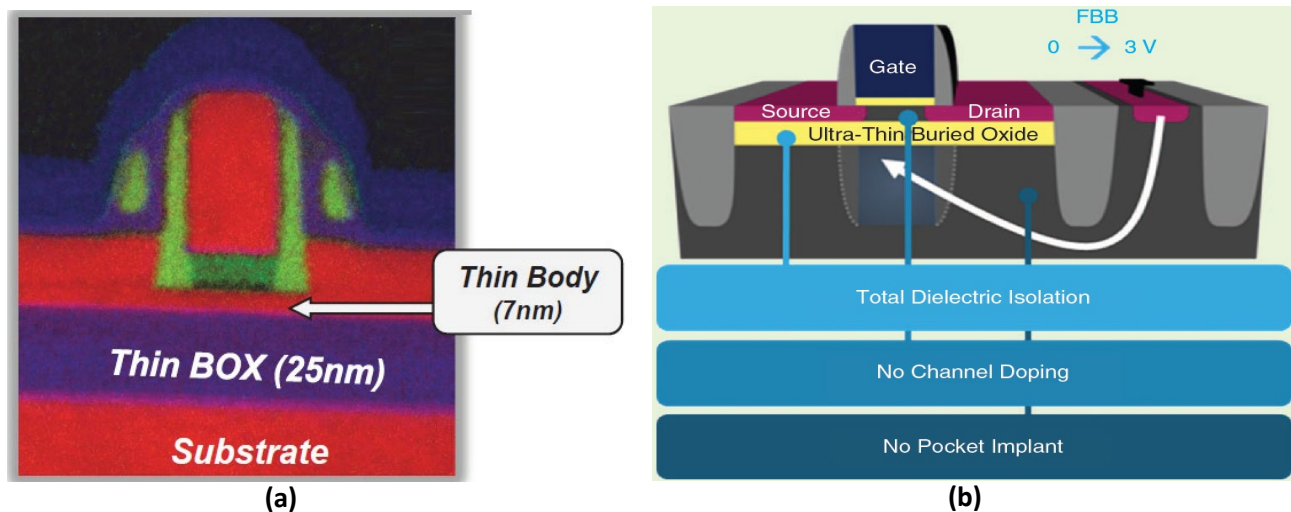


Figure 25. Transistor UTBB-FDSOI 28 nm : (a) Section transversale ; (b) Améliorations apportées par la structure [Cathelin 2017]

La Figure 25b illustre les améliorations significatives apportées par cette structure planaire à partir du nœud 28 nm par rapport au transistor bulk. **Ces améliorations impliquent** [Cathelin 2017]:

- **Une isolation diélectrique totale du canal**, qui permet à la grille d'exercer un contrôle précis sur le canal (meilleur couplage électrostatique), donc de réduire la tension de commande V_{GS} .
- **Pas de dopage du canal et suppression des implants de poches et d'halos, ainsi que la réduction des zones LDD**, ce qui élimine la RDF dans le canal et améliore grandement la fiabilité du transistor.
- **Polarisation de la grille arrière** : l'isolation diélectrique entre le substrat et le canal crée une seconde grille qui permet de moduler la tension V_{TH} (body-biasing) de manière étendue par rapport à un transistor standard en appliquant une tension sur le contact « bulk ».

Un transistor UTBB-FDSOI permet ainsi un bien meilleur contrôle électrostatique, ce qui réduit les SCE et les fuites de courant [Cathelin 2017]. Le principal paramètre utilisé pour évaluer la performance électrostatique du transistor est le rapport x_j/L_{gate} avec x_j qui désigne la profondeur de jonction pour un transistor bulk. Ce rapport influence directement la variation de la tension de seuil ΔV_{TH} dans un transistor à canal court, comme le montre l'équation (3) [Clerc et al. 2020]:

$$\Delta V_{TH} = \frac{qN_a W}{C_{ox}} \left(\sqrt{1 + \frac{2W}{x_j}} - 1 \right) \frac{x_j}{L_{gate}} \quad (3)$$

Dans cette équation, on observe que la variation de la tension de seuil ΔV_{TH} est proportionnelle au rapport x_j/L_{gate} . Dans le cas d'un transistor UTBB-FDSOI, x_j est remplacé par l'épaisseur du canal ultra-mince T_{Si} , qui est largement inférieure, comme illustré en Figure 26a. La Figure 26b montre ainsi l'amélioration du rapport x_j/L_{gate} et donc la réduction de la variation ΔV_{TH} apportée par un transistor UTBB-FDSOI 28 nm par rapport à un transistor bulk 28 nm (x_j/L_{gate} divisé par 3).

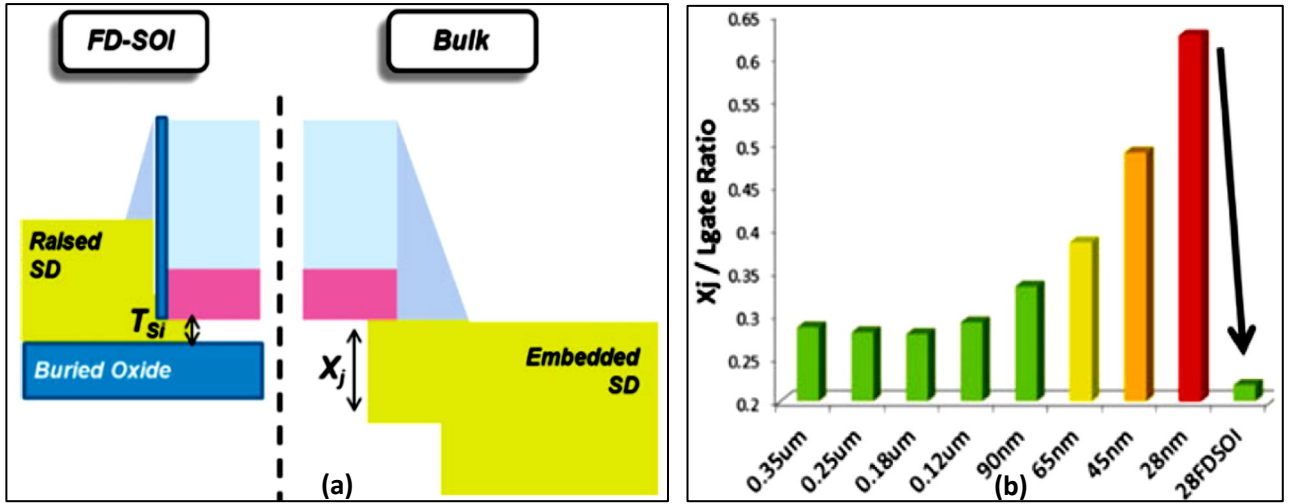


Figure 26. (a) Epaisseur T_{Si} d'un transistor UTBB-FDSOI et profondeur de jonction x_j d'un transistor bulk ; (b) Réduction du coefficient x_j/L_{gate} pour un transistor UTBB-FDSOI 28 nm [Clerc et al. 2020]

De plus, les performances d'un transistor à basse tension sont directement liées à la valeur du DIBL. Plus le DIBL est faible, meilleures sont les performances à basse tension [Clerc et al. 2020]. L'amélioration apportée par la technologie UTBB-FDSOI sur ce point peut être estimée à l'aide des équations (4) et (5). Dans le cas d'un transistor bulk, le DIBL peut être approximé par :

$$DIBL_{Bulk} = 0.8 \left(\frac{\epsilon_{Si}}{\epsilon_{OX}} \right) \left(1 + \frac{x_j^2}{L_{el}^2} \right) \left(\frac{T_{OX}}{L_{el}} \right) \left(\frac{T_{dep}}{L_{el}} \right) V_{DS} \quad (4)$$

où T_{dep} désigne l'épaisseur de la zone de déplétion sous la grille, et L_{el} la longueur électrostatique effective du canal, caractérisant le contrôle de la grille sur le canal.

Dans le cas d'un transistor UTBB-FDSOI, la profondeur de jonction x_j est remplacée par l'épaisseur du canal ultra-mince T_{Si} , conduisant à l'expression suivante :

$$DIBL_{FDSOI} = 0.8 \left(\frac{\epsilon_{Si}}{\epsilon_{OX}} \right) \left(1 + \frac{T_{Si}^2}{L_{el}^2} \right) \left(\frac{T_{OX}}{L_{el}} \right) \left(\frac{T_{Si}}{L_{el}} \right) V_{DS} \quad (5)$$

Comme expliqué dans la section 4.1.2, le DIBL accentue les fuites de courant lorsque le transistor est en mode bloqué. Ainsi, la réduction du DIBL dans un transistor UTBB-FDSOI permet de diminuer les courants $I_{\text{sub-th}}$, I_{GIDL} et I_{punch} . De plus, l'oxyde enterré sépare le canal du substrat, ce qui contraint les porteurs majoritaires à rester confinés dans la zone du canal, comme l'illustre la Figure 27, réduisant fortement les fuites de jonction (I_{Junction}). Enfin, la réduction du champ électrique vertical lié à la réduction de V_{GS} permet de limiter I_{tunnel} .

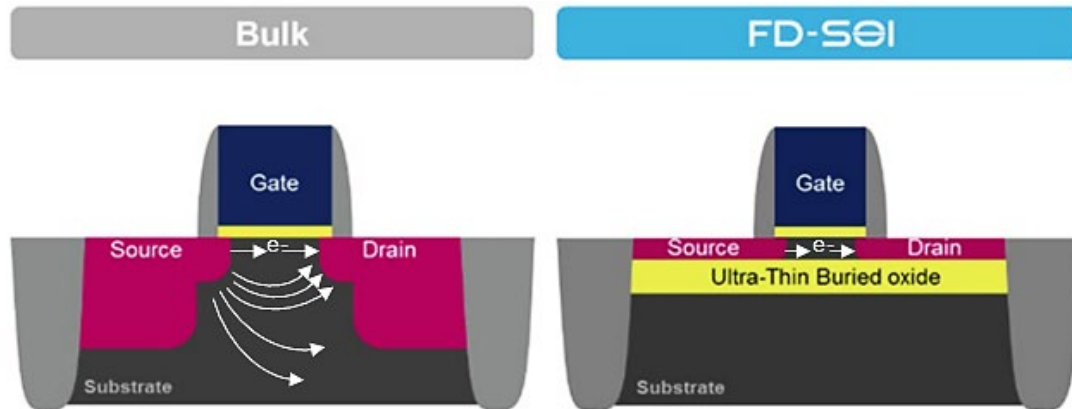


Figure 27. Elimination des fuites de jonction dans le cas d'un transistor UTBB-FDSOI [Clerc et al. 2020]

À titre d'exemple, cette étude [Corsonello et al. 2015], montre qu'en utilisant des transistors UTBB-FDSOI 28 nm en remplacement de transistors bulk de taille équivalente, on obtient une réduction globale de 70 % de la puissance statique d'un convertisseur de niveau logique.

Le canal ultra-mince de silicium réduit également la pente sous-seuil [Khakifirooz et al. 2012]. Ce paramètre traduit la capacité de la grille à contrôler efficacement le courant dans le canal. Plusieurs études montrent qu'un transistor UTBB-FDSOI peut atteindre une pente sous-seuil proche de la limite théorique de 60 mV/décade, ce qui améliore le temps de commutation et réduit la consommation dynamique [Khakifirooz et al. 2012]. Le meilleur contrôle électrostatique permet aussi de travailler avec un V_{DD} plus faible, comme l'illustre l'étude sur la consommation dynamique d'un inverseur polarisé à basse tension [Couso et al. 2018]. La technologie UTBB-FDSOI réduit donc à la fois la consommation statique, par diminution des courants de fuite, et la consommation dynamique, via la baisse de V_{DD} et l'amélioration des temps de commutation.

À partir du nœud 28 nm, la principale amélioration est apportée par le canal non dopé, qui élimine les RDF dans le canal, réduisant ainsi la variabilité de la tension de seuil V_{TH} . Ainsi, pour une même longueur de grille, un transistor UTBB-FDSOI présente un coefficient de Pelgrom A_{vt} [Pelgrom et al. 1989], représentant la variabilité de la tension de seuil, plus faible que son équivalent en technologie bulk [Clerc et al. 2020]. Cela démontre qu'il est moins sensible aux variations locales de V_{TH} par rapport à la technologie Bulk. Moins de variabilité signifie une dispersion réduite entre les différents coins de procédé de fabrication (Fast-Fast (FF) et Slow-Slow (SS)). Les outils de synthèse logique et de placement-routage ont alors besoin de moins de marges, ce qui réduit les délais critiques du circuit. Ainsi, les circuits conçus en UTBB-FDSOI fonctionnent à une fréquence plus élevée qu'un circuit équivalent réalisé dans le même nœud en technologie bulk [Leite 2019].

STMicroelectronics a réalisé une étude comparative [Cathelin 2017] entre un NMOS UTBB-FDSOI 28 nm (LVT-Low V_{TH} , haute performance) et un NMOS bulk 28 nm (LP-Low Power, basse consommation). Cette étude montre qu'un transistor UTBB-FDSOI haute performance consomme moins qu'un transistor bulk basse consommation, tout en offrant de meilleures performances analogiques.

Par exemple, un transistor UTBB-FDSOI de taille $1\ \mu\text{m}/100\ \text{nm}$ offre un gain analogique linéaire (g_m/g_{ds}) d'environ 80, contre 20 pour un transistor bulk de même taille (Figure 28a). Pour cette même dimension, la variabilité, mesurée par le coefficient A_{vt} , est réduite à environ $2\ \text{mV}\cdot\mu\text{m}$, contre $2.8\ \text{mV}\cdot\mu\text{m}$ en technologie bulk (Figure 28b). L'efficacité du transistor est également améliorée via le paramètre g_m/I_D (Figure 28c). De plus, l'isolation apportée par la BOX réduit la capacité de grille totale C_{gg} , ce qui permet aux circuits analogiques d'augmenter la bande passante à courant constant, ou de réduire la consommation à bande passante fixée (Figure 28d). Enfin, cette étude met en évidence une diminution du bruit en $1/f$, de l'ordre de 1.5 dB pour un transistor de $1\ \mu\text{m}/120\ \text{nm}$ polarisé à $1\ \mu\text{A}$.

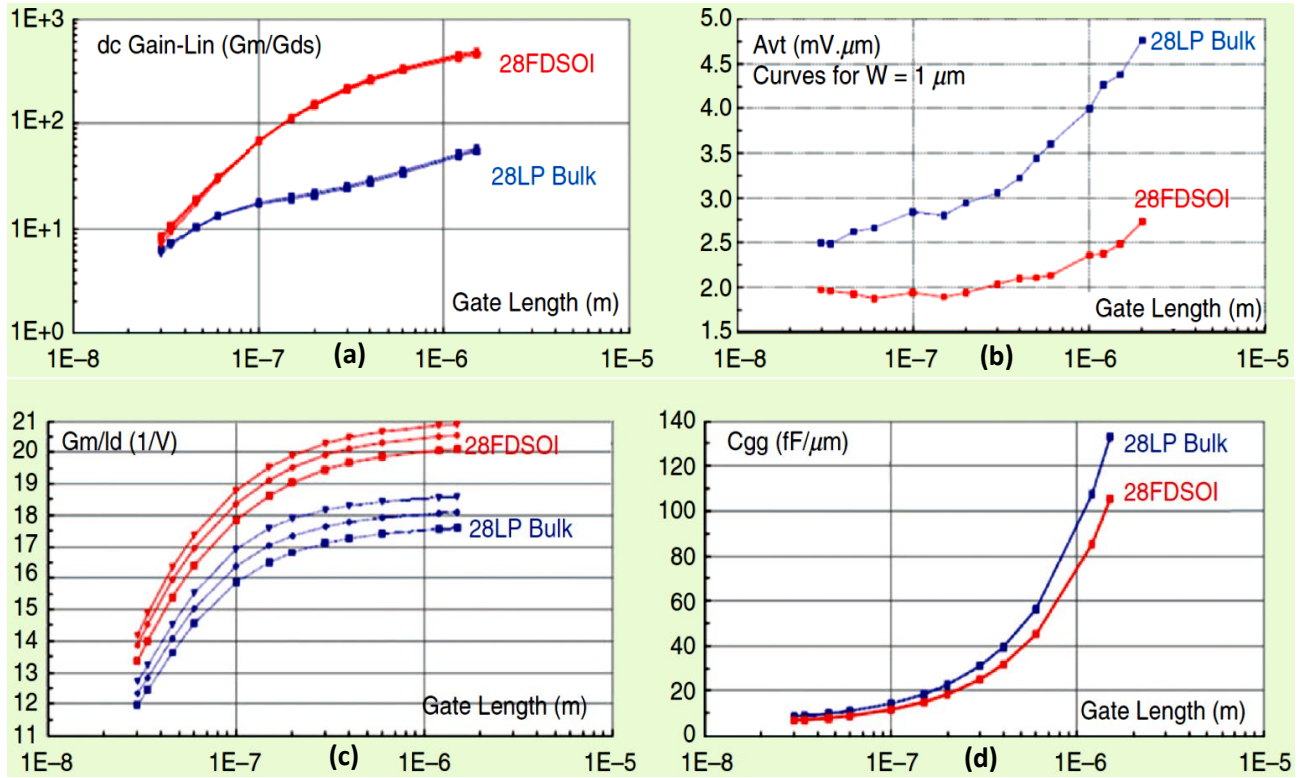


Figure 28. Comparatif entre NMOS 28 nm UTBB-FDSOI haute performance et NMOS 28 nm bulk basse consommation : (a) Gain linéaire g_m/g_{ds} ; (b) Coefficient A_{vt} ; (c) g_m/I_D ; (d) Capacité C_{gg} [Clerc et al. 2020]

Ainsi, un transistor UTBB-FDSOI possède des performances intrinsèques plus élevées tout en réduisant la consommation, ce qui en fait un candidat idéal pour la conception de circuits analogiques et RF basse consommation.

De plus, la BOX ultra-mince du transistor UTBB-FDSOI isole électriquement le canal du substrat. Cette isolation offre la possibilité d'appliquer une tension sur le substrat via le contact « bulk », permettant de moduler la tension de seuil du transistor (body-biasing). Ainsi, le transistor UTBB-FDSOI peut être vu comme un transistor à double grille planaire, avec la BOX jouant le rôle d'oxyde de grille arrière. Cet ajustement dynamique de la tension de seuil, grâce à la polarisation de sa grille arrière, offre un contrôle supplémentaire sur les performances du transistor. Ce principe est bien connu en technologie bulk. Par exemple, pour un NMOS, l'équation de V_{THN} est donnée par :

$$V_{THN} = V_{T0} + \gamma \cdot \left(\sqrt{|2\Phi_f| - V_{BS}} - \sqrt{|2\Phi_f|} \right) \quad (6)$$

Les effets sur la tension de seuil dépendent de la tension V_{BS} , dans le cas d'un NMOS on obtient :

- **V_{BS} négatif (Reverse Body Bias - RBB) :** V_{THN} augmente, ce qui diminue la consommation due aux fuites, mais réduit la fréquence d'exécution du circuit.
- **V_{BS} positif (Forward Body Bias - FBB) :** V_{THN} diminue, ce qui augmente la fréquence, au prix d'une consommation plus élevée.

En modulant dynamiquement la tension de polarisation du substrat, on peut donc ajuster V_{THN} selon les besoins du circuit. Cependant, la technologie bulk présente une limitation sur l'amplitude du body biasing, comme présenté en Figure 29a [Monfray and Skotnicki 2016]:

- En RBB, la plage de polarisation est limitée à -300 mV, car la réduction de la consommation devient inefficace en raison de l'apparition du courant de fuite I_{GIDL} .
- En FBB, la plage de polarisation est limitée à +300 mV, car une augmentation excessive de la tension entraîne une conduction indésirable de la jonction PN ($I_{junction}$), ainsi qu'un risque de latch-up, pouvant compromettre la fiabilité du circuit.

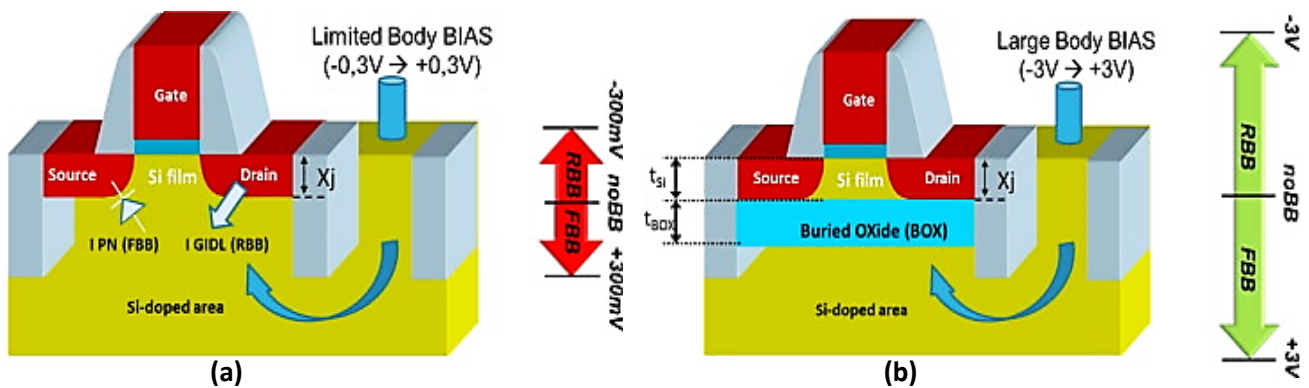


Figure 29. Plage de body biasing : (a) Transistor bulk ; (b) Transistor UTBB-FDSOI [Monfray and Skotnicki 2016]

Dans le cas du transistor UTBB-FDSOI, la BOX réduit grandement les courants de fuite I_{GIDL} et $I_{junction}$, ainsi que le risque de latch-up, permettant d'étendre le body biasing de -3V en RBB à +3V en FBB comme présenté en Figure 29b. Dans nos travaux de recherche, nous utilisons la technologie UTBB-FDSOI 28 nm de STMicroelectronics, qui propose deux architectures de transistors.

L'architecture **Conventional Well** est similaire à celle d'un transistor bulk, avec un puit P-well sous le NMOS et un puit N-well sous le PMOS (Figure 30). Comme les puits sont dopés à l'opposé des sources et des drains, une barrière de potentiel plus élevée se forme sous le canal (jonction PN entre le canal et le puit), ce qui augmente la tension de seuil. Cette configuration est particulièrement adaptée pour faire du RBB. Les transistors de cette architecture s'appellent **RVT (Regular V_{TH})** et sont destinés aux applications **basse consommation**.

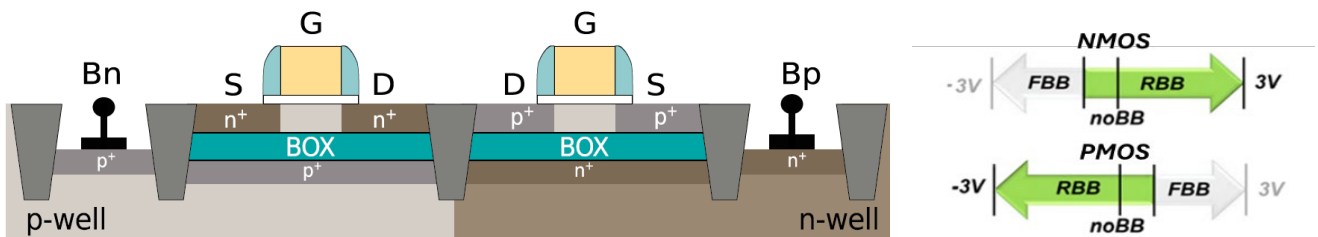


Figure 30. Architecture Conventional Well des transistors UTBB-FDSOI (RVT basse consommation) [Leite 2019]

L'architecture **Flip-Well** est l'inverse de celle d'un transistor bulk, avec un puits N-well sous le NMOS et un puits P-well sous le PMOS (Figure 31). Comme les puits présentent le même type de dopage que les sources et les drains, la barrière de potentiel sous le canal est réduite, ce qui diminue V_{TH} . Ces transistors sont ainsi particulièrement adaptés pour faire du **FBB**. Les transistors de cette architecture, appelés **LVT (Low V_{TH})**, sont conçus pour les applications **haute performance**.

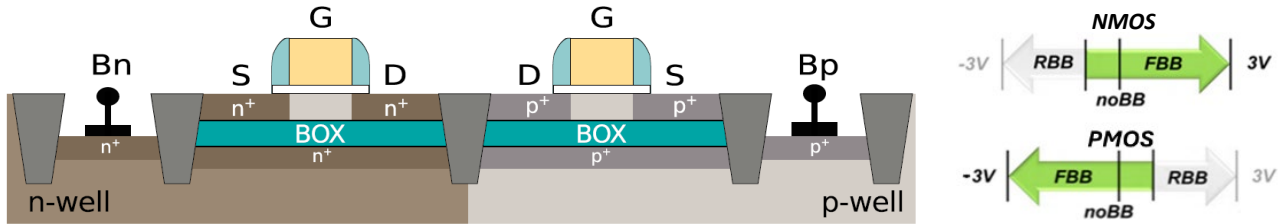


Figure 31. Architecture Flip Well des transistors UTBB-FDSOI (transistors LVT haute performance) [Leite 2019]

En technologie UTBB-FDSOI 28 nm, le body factor est de 85 mV/V pour le NMOS et de 80 mV/V pour le PMOS, alors qu'il n'est que de 25 mV/V en technologie bulk 28 nm, comme illustré en Figure 32. La plage étendue de body biasing permet ainsi d'obtenir une amplitude de modulation de V_{TH} d'environ 200 mV pour un transistor UTBB-FDSOI, contre seulement 10 mV pour un transistor bulk. A titre d'exemple, cette étude [Arnaud et al. 2012], montre, par des mesures sur un oscillateur en anneau, qu'un choix adapté du couple V_{DD} et V_{BS} permet de réduire la puissance dynamique de 90 % sans perte de vitesse. Elle met également en évidence, sur un cœur de processeur implémenté en UTBB-FDSOI, une réduction de la puissance totale de 30 % et une amélioration de l'efficacité énergétique de 40 % à vitesse identique, par rapport à la technologie bulk, grâce à la polarisation de la grille arrière.

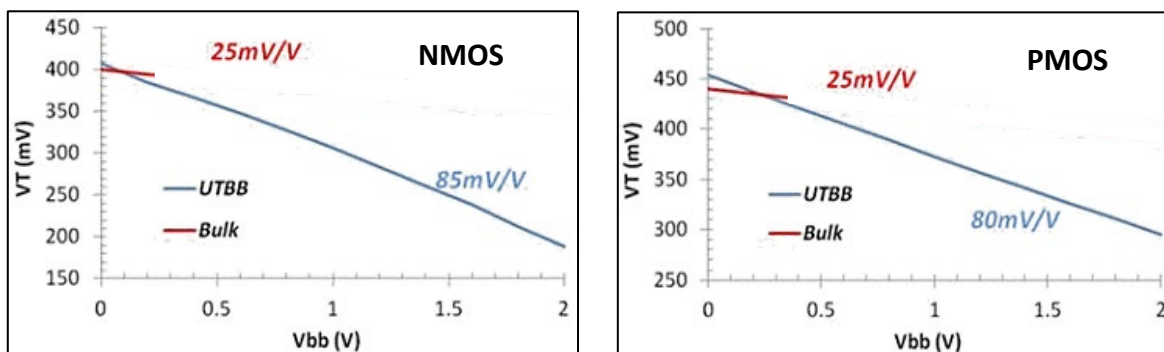


Figure 32. Body biasing des transistors UTBB-FDSOI et bulk [Arnaud et al. 2012]

Le transistor **UTBB-FDSOI** possède, comme nous venons de le voir, **des caractéristiques intrinsèques remarquables en termes de consommation et de performances**. De plus, il offre la possibilité de moduler ses performances de manière étendue grâce à la polarisation de sa grille arrière (body-biasing). Dans nos travaux, nous exploitons ce degré de liberté, ainsi que les mécanismes de rétroaction associés comme un levier de conception pour :

- stabiliser les fonctions de transfert de cellules analogiques/RF sensibles aux SCE ;
- réduire le coût (surface et énergie) des architectures en remplaçant, lorsque cela est possible, des blocs de calibration dédiés par des mécanismes d'auto-réglage via la grille arrière.

Nous analyserons également les conséquences de l'utilisation de la grille arrière sur la robustesse des cellules et des architectures, en intégrant les dispersions dans la démarche de validation. Dans cette perspective, il est utile de rappeler brièvement les principales notions utilisées dans les analyses de robustesse de ce manuscrit.

4.1.4 Rappels sur les dispersions et l'analyse de robustesse

Dans un contexte industriel, les performances d'un circuit intégré sont évaluées en tenant compte des variations PVT (Process, Voltage, Temperature), c'est-à-dire des dispersions de procédé de fabrication, de tension d'alimentation et de température. Pour la tension, on considère des tolérances typiques de l'ordre de $\pm 10\%$, $\pm 5\%$, voire $\pm 1\%$ pour les fonctions les plus sensibles. Pour la température, trois gammes sont considérées : civile (0°C à 70°C , parfois 0°C à 85°C), industrielle (-40°C à 85°C ou -40°C à 125°C) et militaire (-55°C à 125°C , voire -55°C à 150°C). En pratique, on retient trois points représentatifs pour la tension et la température : minimum, typique et maximum. Ces deux volets (V et T) constituent une première exploration des extrêmes et du cas nominal, et sont ensuite combinés avec les variations de procédé.

Le troisième volet, le procédé, regroupe les variations globales liées à la fabrication, susceptibles d'affecter l'ensemble des dispositifs. Pour les transistors MOS, ces variations se traduisent par les cas typique (TT), rapide (FF) et lent (SS), où SS correspond à des transistors lents (slow) et FF à des transistors rapides (fast), définissant ainsi des coins de procédé (corners). Les composants passifs sont quant à eux souvent modélisés par des valeurs min/typ/max. La combinaison de ces variations globales peut conduire à un grand nombre de cas théoriques. En pratique, trois cas sont souvent retenus pour représenter des conditions extrêmes :

- le cas $SS_{\max}$, où les nMOS et pMOS sont lents et où les autres composants sont à leurs variations maximales ;
- le cas TT, où l'ensemble des éléments est typique ;
- le cas $FF_{\min}$, opposé au premier, où les nMOS et pMOS sont rapides et où les autres composants sont à leurs variations minimales.

L'analyse PVT consiste ensuite à combiner ces trois coins de procédé avec les triplets $V_{\min}/V_{\text{typ}}/V_{\max}$ et $T_{\min}/T_{\text{typ}}/T_{\max}$, afin de vérifier que le circuit reste fonctionnel et que ses performances restent dans les spécifications sur l'ensemble des conditions d'usage (27 cas possibles).

Il faut aussi distinguer le mismatch, qui correspond aux variations locales entre transistors supposés identiques. Il se quantifie généralement par une analyse de Monte-Carlo mismatch. À l'inverse, l'analyse de Monte-Carlo process modélise des variations globales aléatoires à l'échelle de la puce autour d'un coin nominal et complète l'approche par coins en fournissant une estimation statistique des marges. Dans ce manuscrit, l'analyse de robustesse s'appuie ainsi sur des simulations en coins PVT, des analyses de Monte-Carlo process et de Monte-Carlo mismatch, menées au niveau circuit, post-layout et, lorsque cela est possible, en mesure.

Dans nos travaux sur les oscillateurs, les points de vigilance concernent surtout l'effet des variations PVT sur la polarisation, la transconductance, la fréquence et les marges de démarrage. Le mismatch devient aussi critique lorsque les symétries conditionnent le fonctionnement. Dans le cas particulier des oscillateurs à quartz, il faut en plus prendre en compte la sensibilité aux capacités parasites, aux caractéristiques du quartz et à la robustesse du démarrage pour différentes références externes. Pour les réseaux de neurones artificiels analogiques, les variations PVT et le mismatch peuvent déplacer les points de fonctionnement, modifier les gains et les fonctions de transfert des blocs analogiques, et se répercuter directement sur les performances au niveau système. **Les travaux présentés dans les sections suivantes s'inscrivent dans la logique d'exploitation de la grille arrière comme levier de conception.**

4.2 Conception d'un Clock and Data Recovery (CDR) en UTBB-FDSOI 28 nm

Les travaux présentés dans cette section s'inscrivent dans le prolongement direct de la thèse de Zhaopeng Wei, consacrée à l'exploitation de la grille arrière des transistors UTBB-FDSOI pour la conception de cellules analogiques et mixtes auto-calibrées. Ces travaux ont montré que l'exploitation des grilles arrière permettait de revisiter plusieurs blocs de base CMOS, tels que l'inverseur complémentaire, les portes logiques ou les miroirs de courant, afin d'en améliorer la consommation, la compacité et la robustesse. Deux brevets, déposés avant mon arrivée et acceptés [Jacquemod et al. 2016; Audebert et al. 2018], confirment le caractère innovant de cette approche et son potentiel pour la conception de nouvelles cellules analogiques et RF.

Dans ce contexte, j'ai collaboré avec Z. Wei sur la finalisation de sa thèse [Wei 2019], puis sur la poursuite de ces travaux vers des blocs RF plus élaborés en technologie UTBB-FDSOI [Jacquemod et al. 2019]. **L'objectif a alors été de porter cette logique de conception à l'échelle d'une fonction RF complète, afin d'évaluer jusqu'où les avantages de l'auto-calibration et de l'exploitation de la grille arrière pouvaient être mobilisés au niveau architectural.**

Le choix d'un circuit de récupération d'horloge et de données s'est imposé comme particulièrement pertinent, car il permet de confronter cette approche à des contraintes fortes de consommation, de temps de capture et d'intégration, en cohérence avec les communications IoT en mode rafale. Nous avons ainsi proposé en 2020 un sujet de stage, puis une thèse, à Yuqing Mao, portant sur la conception d'un CDR innovant, basse consommation et compact.

Les sections qui suivent résument les travaux de thèse de Y. Mao [Mao 2023] et présentent les principaux résultats publiés dans deux revues internationales [Mao et al. 2024a; Mao et al. 2024b]. L'objectif n'est pas seulement de présenter une nouvelle architecture de CDR, mais de montrer comment l'exploitation de la grille arrière en UTBB-FDSOI peut constituer un levier de conception pertinent à l'échelle d'une fonction RF complète.

4.2.1 Etat de l'art sur les systèmes CDR

De manière générale, les systèmes de transmission synchrone transmettent uniquement le signal de données, afin de limiter la bande passante et la consommation d'énergie. Le récepteur doit alors intégrer un circuit CDR capable d'extraire, à partir d'un signal bruité, la séquence de données reçue et de reconstruire l'horloge synchrone [Hsieh and Sobelman 2008]. Les données doivent ensuite être resynchronisées pour compenser le jitter (gigue) accumulé au cours de la transmission.

4.2.1.1 Principe de fonctionnement d'un CDR

La Figure 33 présente un schéma bloc d'un CDR. Le circuit de récupération d'horloge (clock recovery circuit) a pour fonction de détecter les transitions dans les données reçues afin de régénérer le signal d'horloge périodique associé. Pour resynchroniser les données, le circuit de décision utilise généralement des bascules de type DFF (D Flip-Flops), déclenchées par l'horloge récupérée. Ce processus consiste à échantillonner des données bruitées afin de régénérer en sortie un signal plus stable, avec une réduction partielle du jitter rapide introduite par le canal [Razavi 2002]. L'horloge générée doit avoir une fréquence égale au débit binaire des données et présenter un faible niveau de jitter, car elle constitue la principale source de jitter des données resynchronisées.

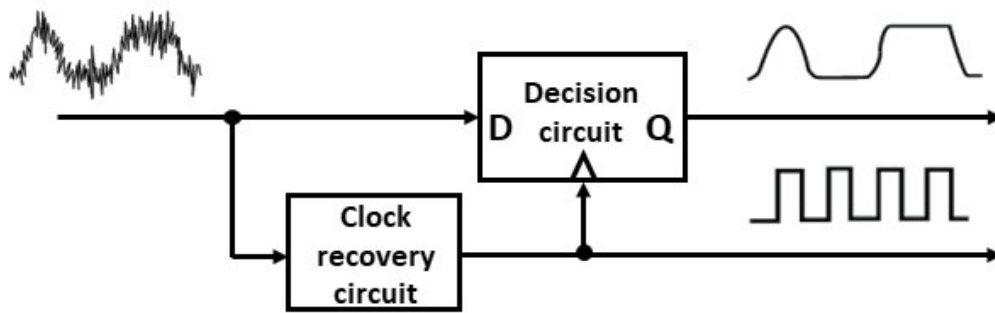


Figure 33. Principe d'un CDR : récupération de l'horloge et resynchronisation des données [Razavi 2002]

4.2.1.2 Comparaison des CDR et choix d'une structure à concevoir en UTBB-FDSOI

Les CDR peuvent être classés en deux grandes catégories :

- **CDR à boucle fermée** : structures reposant sur un suivi de phase par rétroaction, telles que les boucles à verrouillage de phase (PLL) ou les boucles à verrouillage de retard (DLL). Ces architectures sont les plus répandues, principalement en raison de leurs excellentes performances en matière de jitter de sortie [Hsieh and Sobelman 2008; Razavi 2002].
- **CDR à boucle ouverte** : structures appréciées pour leur faible consommation, leur temps de capture rapide (settling time) et leur conception simple et peu coûteuse [Béraud-Sudreau et al. 2014].

Les exigences de performance d'un CDR varient selon les applications. On distingue généralement deux modes de fonctionnement : le **mode continu** et le **mode rafale (burst mode)**. En **mode continu**, la communication s'effectue généralement de point-à-point, avec une transmission stable du flux de données. Dans ce contexte, le temps de verrouillage initial du CDR peut être relativement long, car la synchronisation n'a lieu qu'une seule fois lors de l'établissement de la liaison. En **mode rafale**, la communication est souvent de type point-à-multipoint. En l'absence de transmission, le système reste en veille et doit se réactiver rapidement à la réception des données. Le CDR doit alors présenter un temps de capture très court, de l'ordre de 50 ns, afin de permettre une récupération rapide des données [Béraud-Sudreau et al. 2014].

Le Tableau 1 résume les performances des principales architectures de CDR, ainsi que leurs domaines d'application respectifs.

Tableau 1. Comparaison des performances de différents types de CDR

Type	Structure	Mode	Avantages	Inconvénients
Boucle fermée	PLL	Continu	Réduction du jitter, large plage de verrouillage	Pics de jitter, Temps de verrouillage élevé, Empreinte silicium importante
Boucle fermée	DLL	Continu	Pas de pics de jitter, Bonne stabilité	Plage de verrouillage réduite, Horloge de référence nécessaire
Boucle fermée	Sélection / interpolation de phase	Continu	Faible temps de capture	Atténuation du jitter limitée
Boucle ouverte	Filtre à facteur Q élevé	Rafale	Faible consommation	Atténuation du jitter limitée, difficile à intégrer
Boucle ouverte	Oscillateur à déclenchement	Rafale	Structure simple, Faible temps de capture	Sensible au jitter et aux variations PVT
Boucle ouverte	Oscillateur à verrouillage par injection	Rafale	Faible consommation, Faible temps de capture	Plage de verrouillage limitée

À la lecture de ce tableau, nous retenons une architecture à boucle ouverte afin de mettre en évidence l'apport de l'auto-calibration dynamique des transistors UTBB-FDSOI. Associée aux qualités intrinsèques de cette technologie, cette approche vise un CDR de structure simple, à très faible consommation, et à temps de capture court, en cohérence avec les contraintes IoT en mode rafale.

Les architectures CDR à boucle ouverte ciblent principalement les communications RF basse consommation pour l'IoT, les réseaux optiques passifs et les applications de type SerDes (Serializer/Deserializer), où les contraintes de filtrage du jitter peuvent être relâchées au profit d'une synchronisation rapide. Elles s'inscrivent naturellement dans un fonctionnement en mode rafale et permettent d'extraire rapidement une horloge synchrone et de récupérer les données associées à chaque paquet asynchrone [Hsieh and Sobelman 2008; Béraud-Sudreau et al. 2014; Yan et al. 2007]. Dans ce contexte, le bruit additif sur le signal reçu et le jitter en entrée peuvent être tolérés tant qu'ils restent compatibles avec la marge d'échantillonnage visée.

Un CDR à boucle ouverte repose généralement sur l'un des trois types de circuits suivants, comme l'illustre la Figure 34 :

- un oscillateur à déclenchement (gated oscillator) ;
- un filtre passe-bande à facteur de qualité élevé (high-Q bandpass filter) ;
- un oscillateur à verrouillage par injection (Injection-Locked Oscillator - ILO) [Béraud-Sudreau et al. 2014].

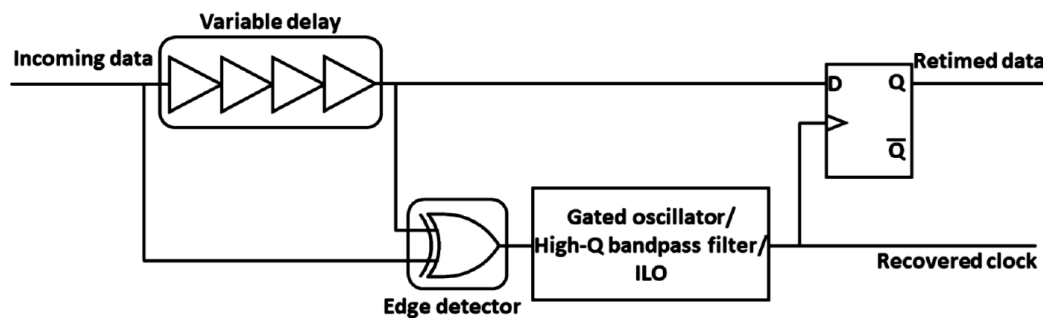


Figure 34. Architecture standard d'un CDR à boucle ouverte [Béraud-Sudreau et al. 2014]

Dans cette architecture, la bascule DFF, pilotée par l'horloge restaurée (recovered clock), resynchronise les données d'entrée (retimed data). Le buffer à retard variable aligne ces données sur le front d'horloge, idéalement au milieu du bit, afin de maximiser la marge vis-à-vis du jitter [Razavi 2002]. Ce buffer peut être contrôlé de manière externe pour compenser les variations PVT. Le détecteur de fronts (edge detector), souvent réalisé à l'aide d'une porte XOR, génère des impulsions à la fréquence des bits de données en entrée, servant à commander l'oscillateur.

Les CDR basés sur un filtre passe-bande à haut facteur de qualité permettent d'échantillonner directement l'horloge avec une sélectivité élevée et une consommation réduite, mais sont difficiles à intégrer sur puce [Hsieh and Sobelman 2008; Béraud-Sudreau et al. 2014]. L'oscillateur à déclenchement, quant à lui, aligne sa phase à chaque transition de donnée en entrée. Il possède une structure simple, mais il est sensible aux variations PVT ainsi qu'au jitter, car il ne dispose pas de capacité de filtrage [Hsieh and Sobelman 2008].

Nous avons donc retenu la mise en œuvre d'un ILCDR (Injection-Locked Clock and Data Recovery), qui présente une meilleure tolérance au jitter que les autres structures à boucle ouverte. En effet, cette architecture dispose d'une capacité naturelle de filtrage du jitter présent à l'entrée [Béraud-Sudreau et al. 2014; Han et Choi 2009].

En revanche, la plage de verrouillage liée au principe d'injection reste limitée, ce qui restreint l'usage de ce type de CDR aux applications dans lesquelles la fréquence du signal d'entrée est précisément connue, afin que la fréquence libre de l'oscillateur soit aussi proche que possible de celle du signal d'entrée. **Nous avons donc ciblé des systèmes de communication RF à faible consommation pour l'IoT, tels que Zigbee, LoRA ou Bluetooth Low Energy (BLE), qui fonctionnent en mode rafale et dont les fréquences d'opération sont normées (868 MHz et 2.4 GHz), bien définies et donc compatibles avec les contraintes d'un ILCDR.**

Les CDR à boucle ouverte reposant sur le principe de verrouillage par injection offrent en effet un compromis intéressant entre atténuation du jitter, faible consommation d'énergie et surface silicium réduite. **Cette architecture est aussi bien adaptée pour mettre en valeur les avantages de la technologie UTBB-FDSOI, notamment le principe d'auto-calibration via les grilles arrière. Le mode rafale est lui aussi cohérent avec les applications RF visées.**

4.2.1.3 Principe de l'injection

L'injection d'un signal périodique dans un oscillateur induit des phénomènes de tirage (pulling) ou de verrouillage (locking) de fréquence [Razavi 2004]. Le verrouillage par injection intervient lorsque la fréquence d'un oscillateur est modifiée par un signal injecté dont la fréquence est proche de la sienne. Dans ce cas, la fréquence de sortie se verrouille sur celle du signal injecté, au lieu de conserver sa fréquence naturelle. Le principe d'une structure simple d'oscillateur verrouillé par injection est présenté en Figure 35b.

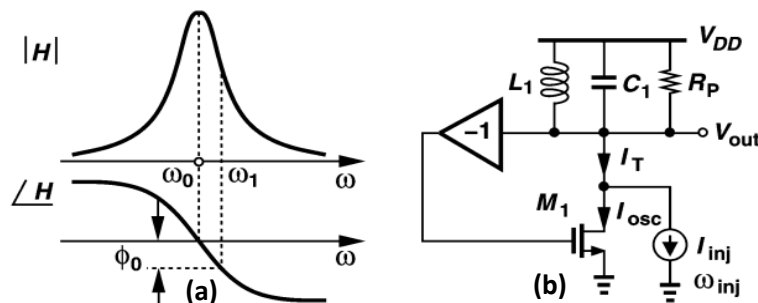


Figure 35. (a) Déplacement de fréquence par injection ; (b) Exemple de structure ILO [Razavi 2004]

Lorsqu'un signal RF périodique externe de fréquence f_{inj} est injecté dans un oscillateur dont la fréquence de fonctionnement libre est f_0 , et que l'écart entre f_{inj} et f_0 est important, la sortie de l'oscillateur présente une fréquence de battement correspondant à la différence entre les deux fréquences ($|f_{inj} - f_0|$). À mesure que f_{inj} se rapproche de f_0 , la fréquence de battement diminue. Lorsque f_{inj} entre dans la plage de verrouillage, le phénomène de battement disparaît et l'oscillateur se synchronise sur la fréquence f_{inj} . De plus, lorsque f_{inj} s'approche d'un harmonique ou d'un sous-harmonique de f_0 (c'est-à-dire nf_0 ou f_0/n), un phénomène de verrouillage par injection peut également se produire.

Trois principales techniques de verrouillage par injection sont utilisées dans les oscillateurs, comme l'illustre la Figure 36 [Razavi 2017]. La première consiste à injecter le signal RF via le transistor de polarisation M_{tail} , qui assure à la fois le courant de polarisation et le courant d'injection. Toutefois, à haute fréquence, son efficacité est limitée par les effets capacitifs parasites liés à sa double fonction qui impose un surdimensionnement. La seconde repose sur l'injection directe via un transistor dédié M_{inj} , ce qui réduit les effets capacitifs et permet d'élargir la plage de verrouillage. Enfin, l'injection multi-nœuds à phase progressive offre de très bonnes performances, mais sa complexité d'intégration et les risques de désalignement de phase la rendent moins adaptée à notre objectif de simplicité. **Nous avons donc retenu l'injection directe, plus simple à intégrer et mieux adaptée à l'architecture visée.**

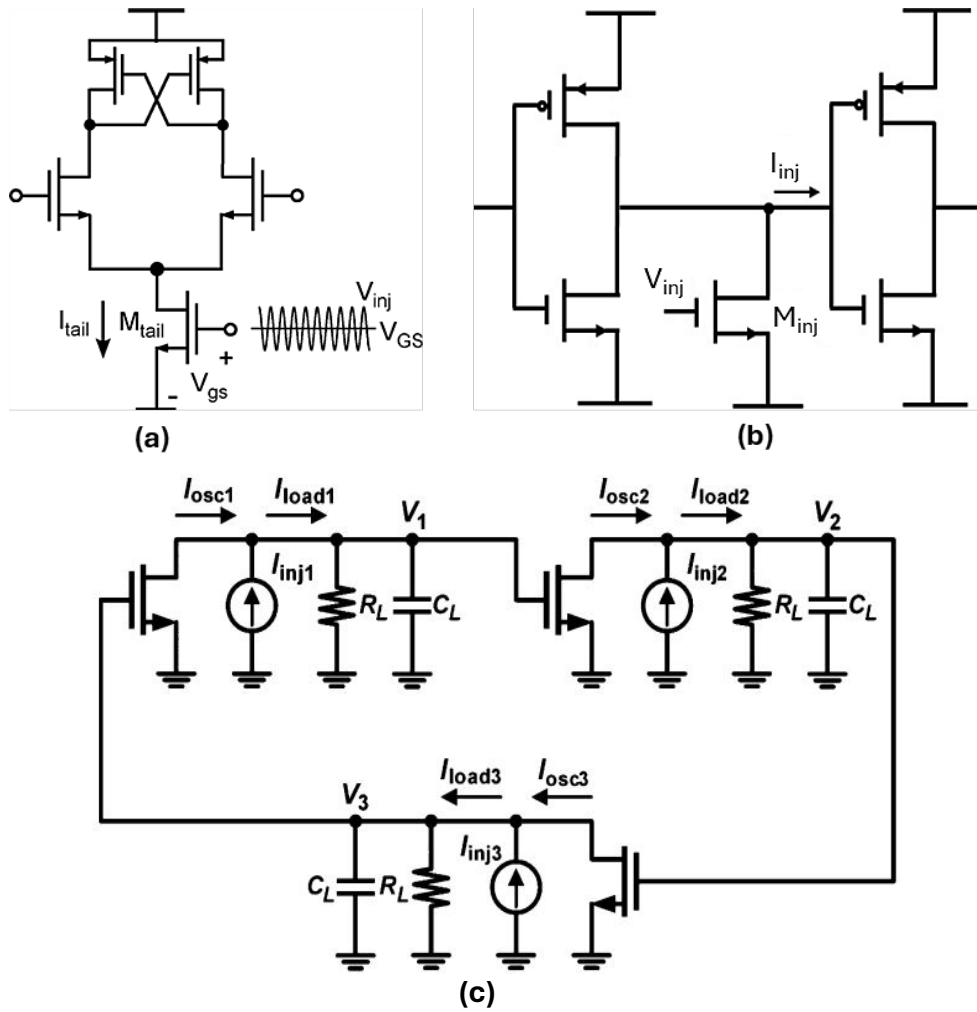


Figure 36. Techniques d'injection : (a) M_{tail} ; (b) M_{inj} ; (c) Multi-nœuds à phase progressive [Razavi 2017]

4.2.1.4 Principaux critères de performance d'un ILCDR

L'objectif principal d'un circuit CDR est de récupérer fidèlement les données en entrée tout en atténuant le jitter accumulé au cours du processus de transmission. Dans le cas d'un ILCDR en boucle ouverte, la performance est généralement évaluée au regard de plusieurs paramètres clés, tels que la plage de verrouillage, le jitter et le bruit de phase.

4.2.1.4.1 Plage de verrouillage

La plage de verrouillage d'un CDR en boucle ouverte définit l'intervalle de fréquences du signal d'entrée pour lequel l'horloge locale peut être extraite et maintenue en phase avec les données. Au-delà de cette plage, la synchronisation devient instable, compromettant la récupération des données.

4.2.1.4.2 Jitter

Le jitter est couramment défini comme la variation temporelle entre l'instant réel d'un événement de synchronisation, tel qu'un front montant ou descendant d'un signal périodique, et son positionnement idéal dans le temps [IEEE 2021]. Comme l'illustre la Figure 37, les variations de la période du signal induisent une incertitude sur le moment d'arrivée des fronts suivants. Ce phénomène se manifeste sous forme de jitter dans le domaine temporel et de bruit de phase dans le domaine fréquentiel.

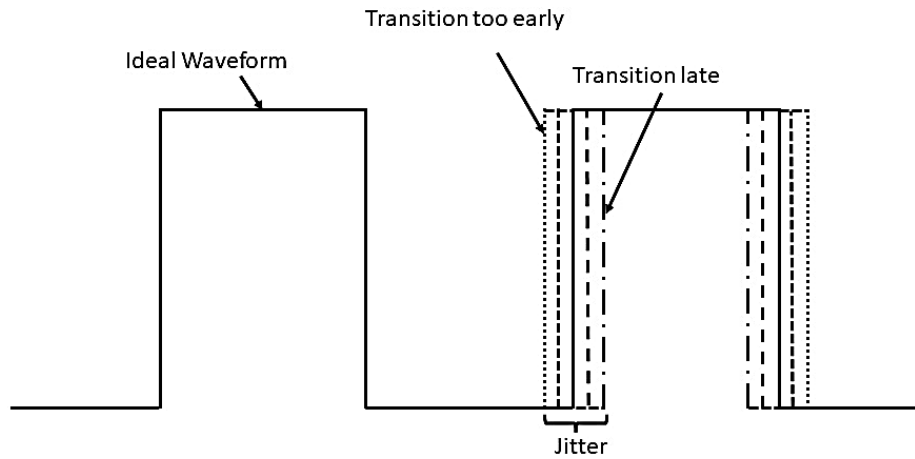


Figure 37. Chronogramme illustrant le jitter

Le jitter est une grandeur statistique généralement caractérisée par deux métriques complémentaires : la valeur Root Mean Square (RMS), qui traduit la dispersion moyenne des fronts autour de leur position idéale, et la valeur crête à crête (peak-to-peak jitter), qui correspond à l'écart maximal observé sur une fenêtre d'analyse donnée. Le p-p jitter, exprimé en ps, représente ainsi la variation temporelle extrême des transitions par rapport à une référence idéale. C'est la métrique la plus utilisée dans la littérature sur les CDR pour comparer les performances temporelles des architectures.

L'évaluation du p-p jitter de l'horloge récupérée et des données récupérées par un CDR s'effectue à l'aide d'un diagramme de l'œil, obtenu par superposition des signaux sur un grand nombre de cycles à partir de points de référence communs. Un diagramme de l'œil large et bien ouvert traduit une bonne qualité de récupération : sa hauteur renseigne sur le rapport signal sur bruit (SNR), tandis que sa largeur est directement limitée par le p-p jitter. À l'inverse, la présence de bruit, de distorsion ou de jitter conduit à une fermeture partielle ou totale de l'œil, signe d'une dégradation de la qualité du signal, comme le montre la Figure 38.

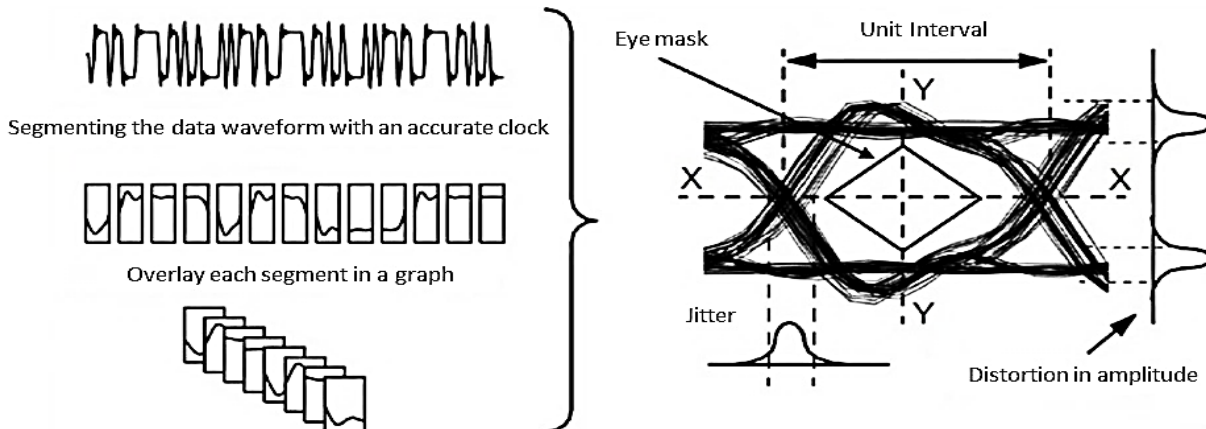


Figure 38. Principe du diagramme de l'œil

L'UI (Unit Interval) correspond à la durée temporelle entre deux bits adjacents dans un signal numérique. La formule définissant l'UI est donnée par l'équation (7). Le p-p jitter est souvent normalisé par rapport à l'UI et exprimé en pourcentage de celle-ci, ce qui permet de comparer des résultats obtenus à différents débits de transmission.

$$UI = \frac{1}{R_b} \quad (7)$$

où R_b désigne le débit de données exprimé en bits par seconde (bps).

4.2.1.4.3 Bruit de phase

Le bruit de phase (Phase Noise, PN) est un paramètre essentiel pour évaluer, dans le domaine fréquentiel, la qualité d'un signal d'horloge. Il correspond généralement au rapport, exprimé en dBc/Hz, entre la puissance du bruit mesurée dans une bande unilatérale de 1 Hz et la puissance de la porteuse, à une fréquence de décalage donnée [Kester 2009], comme le montre la Figure 39.

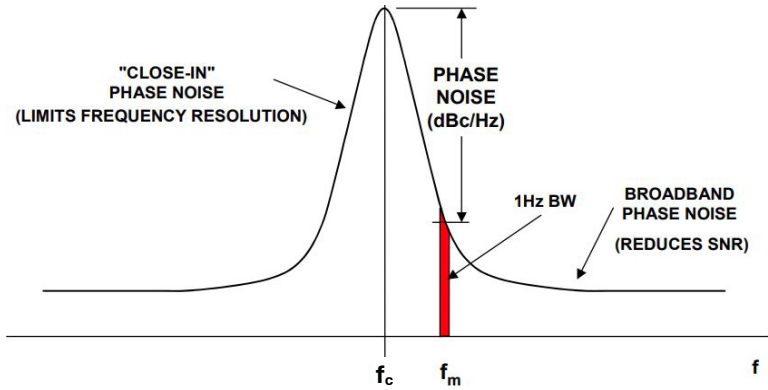


Figure 39. Spectre de puissance dû au bruit de phase [Kester 2009]

L'expression du bruit de phase unilatéral peut être décrite par l'équation (8) :

$$L(\Delta f)(\text{dBc/Hz}) = 10 \log \left[\frac{P_{\text{sideband}}(f_c + \Delta f, 1\text{Hz})}{P_{\text{carrier}}(f_c)} \right] \quad (8)$$

Dans cette équation, f_c désigne la fréquence porteuse, $P_{\text{carrier}}(f_c)$ la puissance du signal porteur, et $P_{\text{sideband}}(f_c + \Delta f, 1\text{Hz})$ la puissance contenue dans une bande unilatérale de largeur 1 Hz, située à un décalage fréquentiel Δf par rapport à la porteuse. Cette expression permet de déterminer le niveau de bruit de phase unilatéral, exprimé en dBc/Hz.

Le cœur d'un ILCDR est un oscillateur verrouillé par injection. Nous avons donc exploré et comparé deux topologies d'oscillateurs compatibles avec ce principe : les oscillateurs en anneau et les oscillateurs LC.

Un oscillateur en anneau en quadrature (QRO - Quadrature Ring Oscillator) a été développé dans le cadre de la thèse de Z. Wei. Il est basé sur le principe de l'auto-calibration via la grille arrière des transistors UTBB-FDSOI appliqué à un inverseur complémentaire.

Dans le cadre de la thèse de Y. Mao, l'inverseur complémentaire a été redimensionné pour être compatible avec les fréquences standards utilisées dans les applications IoT visées (868 MHz et 2.4 GHz). De plus, nous utilisons une version plus récente du Process Design Kit (PDK CMOS28 FDSOI v1.5.a), ce qui influence les modèles de transistors utilisés.

4.2.2 Conception d'un inverseur complémentaire auto-calibré

Un signal complémentaire désigne une paire de signaux de niveaux opposés : lorsque l'un est à un niveau haut, l'autre est à un niveau bas, et inversement. La logique complémentaire présente plusieurs avantages par rapport aux conceptions non complémentaires, notamment de meilleures performances et une réduction des erreurs logiques.

Dans notre inverseur complémentaire en technologie UTBB-FDSOI, les paires de signaux complémentaires sont associées à un mécanisme de rétroaction via la polarisation des grilles arrière des transistors. Cette approche permet d'obtenir des sorties symétriques, ce qui améliore l'immunité au bruit et renforce la robustesse globale du circuit.

La Figure 40 présente quatre implémentations possibles d'inverseurs dits « classiques » en technologie UTBB-FDSOI, afin d'introduire le fonctionnement et les performances de notre inverseur complémentaire.

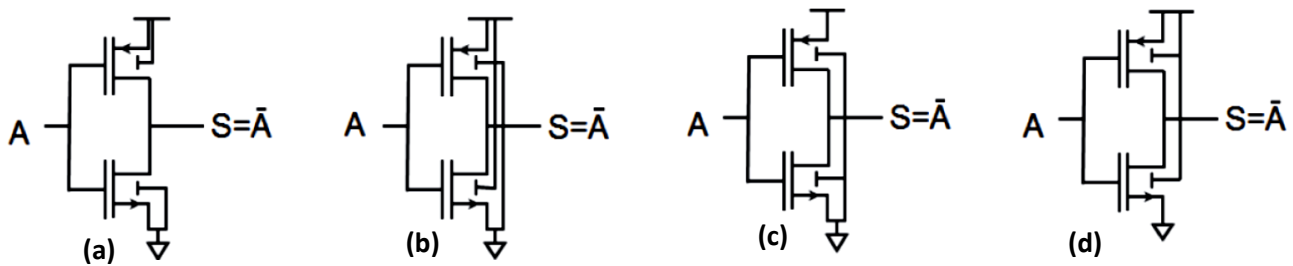


Figure 40. Différentes implémentations classiques d'inverseurs en technologie UTBB-FDSOI

- La configuration (a) correspond à un inverseur classique : la grille arrière du transistor NMOS est polarisée à V_{SS} , tandis que celle du PMOS est reliée à V_{DD} .
- La configuration (b) représente un inverseur plus rapide, dans lequel les deux transistors présentent des tensions de seuil faibles : la grille arrière du NMOS est polarisée à V_{DD} et celle du PMOS à V_{SS} .
- Dans les configurations (c) et (d), les deux grilles arrière sont polarisées à la même tension (V_{SS} ou V_{DD}). Ces configurations alternatives permettent la mise en œuvre de notre inverseur complémentaire, comme le montre la Figure 41.

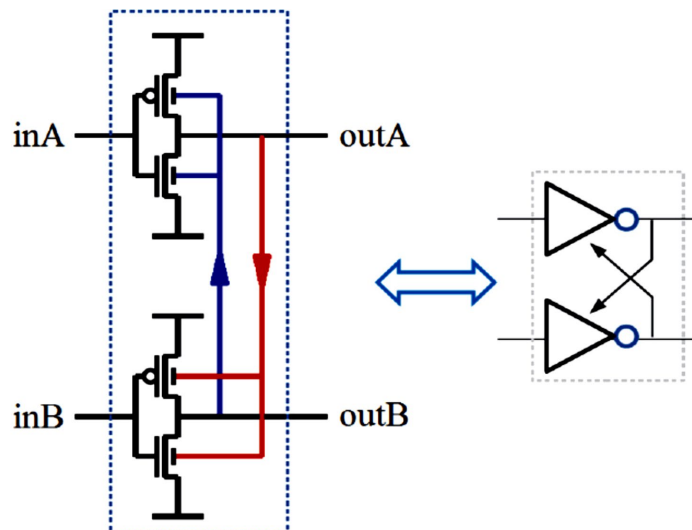


Figure 41. Inverseur complémentaire en technologie UTBB-FDSOI

Un inverseur complémentaire est composé de deux inverseurs identiques. Dans cette architecture, les grilles arrière de chaque inverseur sont polarisées par la sortie de l'autre inverseur. Les tensions de sortie déterminent donc directement les tensions appliquées aux grilles arrière. Les tensions de seuil V_{TH} varient alors en fonction de la sortie de l'inverseur opposé. De cette manière, si l'une des sorties présente une transition plus rapide, la sortie opposée sera accélérée ; à l'inverse, si une sortie évolue plus lentement, l'autre sera ralentie. L'inverseur complémentaire améliore ainsi la symétrie des sorties lorsque les entrées sont « raisonnablement » symétriques [Wei 2019].

Cependant, pour être physiquement réalisable, cette structure nécessite un contrôle indépendant des grilles arrière, afin d'éviter toute interférence entre la tension appliquée sur la grille arrière et V_{DD} ou V_{SS} . La technologie UTBB-FDSOI apporte ici une solution d'implémentation adaptée, grâce à l'utilisation d'un transistor à triple puits (triple-well) permettant cette isolation.

4.2.2.1 Implémentation du layout de l'inverseur complémentaire

La Figure 42 illustre la structure de deux transistors à triple puits issus de la bibliothèque UTBB-FDSOI 28 nm de STMicroelectronics (CMOS28LP), utilisés dans notre inverseur complémentaire mais également dans l'ensemble des travaux présentés dans ce manuscrit :

- **nfettw** : NMOS de type RVT (Regular VTH), adapté au Reverse Body Bias (RBB), utilisé ici pour ralentir les transistors NMOS (naturellement plus rapides que les PMOS).
- **lvtpfettw** : PMOS de type LVT (Low VTH), adapté au Forward Body Bias (FBB), utilisé ici pour accélérer les transistors PMOS (naturellement plus lents que les NMOS).

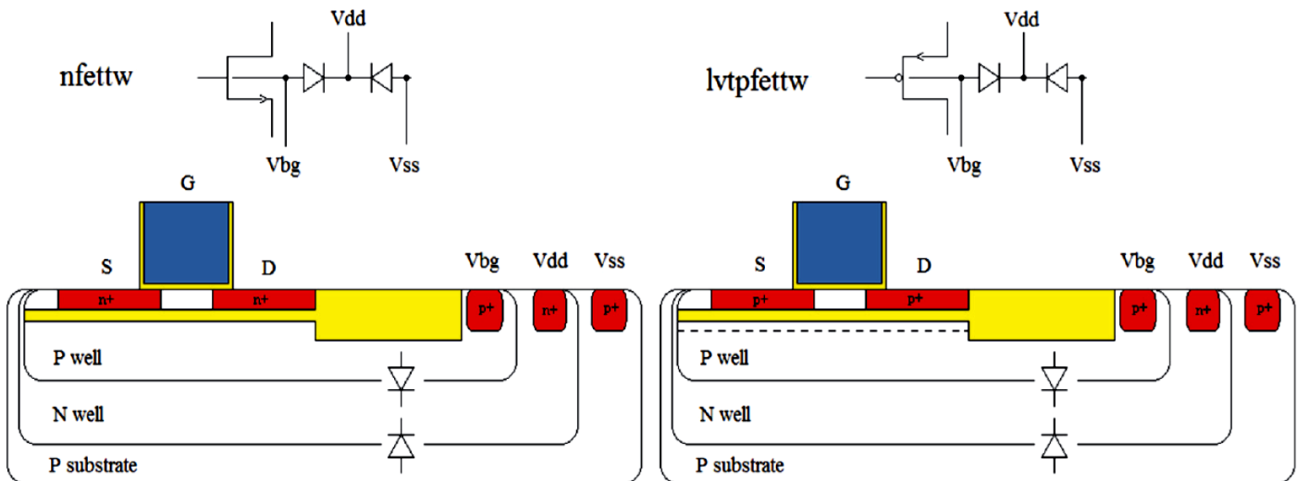


Figure 42. Structure triple puits en technologie UTBB-FDSOI

Le triple puits de ces transistors permet d'appliquer une tension sur la grille arrière sans risque de court-circuit ni de fuite, grâce à la structure équivalente à deux diodes. De plus, avec la couche d'oxyde ultra-mince située sous le canal, le puits et le canal sont isolés, ce qui permet l'intégration des PMOS et NMOS dans un même puits P. Cet avantage est déterminant pour la compacité du layout.

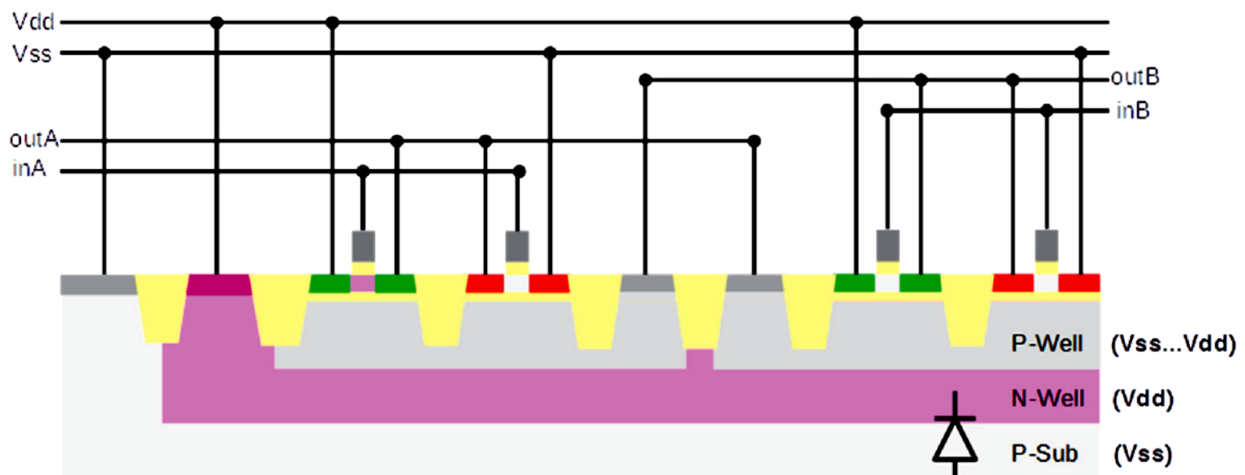


Figure 43. Structure du layout et schéma de connexion d'un inverseur complémentaire en UTBB-FDSOI

La Figure 43 présente la configuration de connexion d'un inverseur complémentaire avec la sortie d'un inverseur qui peut contrôler simultanément les tensions de grille arrière du PMOS et du NMOS de l'autre inverseur. La tension de substrat de type P est fixée à V_{SS} , et celle du puits N central à V_{DD} , formant ainsi une diode bloquée. La tension de chaque puits P situé sous la couche d'oxyde, varie entre V_{SS} et V_{DD} en fonction des tensions de sortie.

Cette configuration permet de simplifier le layout en garantissant l'isolation des puits, sans risque de court-circuit au niveau du substrat. Elle facilite aussi l'organisation des transistors et réduit les contraintes de routage, ce qui améliore la densité d'intégration et les performances du circuit. Par ailleurs, appliquer un RBB sur un NMOS RVT (nfettw) et un FBB sur un PMOS LVT (lvtpfettw) permet de réduire la vitesse du NMOS et d'accélérer celle du PMOS, ce qui diminue l'écart de vitesse naturel entre ces deux transistors. Ainsi, bien qu'un dimensionnement approprié permette d'équilibrer les vitesses des NMOS et PMOS, la réduction des écarts entre ces transistors contribue à rendre l'auto-calibration via les grilles arrière croisées plus robuste face aux variations PVT.

L'objectif de l'auto-calibration est d'obtenir des transitions de sortie aussi symétriques que possible au niveau de notre inverseur, de sorte que les sorties complémentaires se croisent à $V_{DD}/2$, c'est-à-dire que les temps de montée et de descente soient identiques ($t_{pLH} = t_{pHL}$). Les transistors doivent être dimensionnés de manière à compenser la différence entre K_{PN} et K_{PP} , liée à la différence de mobilité entre les électrons et les trous. Une simulation de Monte-Carlo mismatch (Figure 44), réalisée dans [Wei et al. 2016], met en évidence l'efficacité de cette technique en évaluant statistiquement l'impact des variations aléatoires entre transistors (ΔV_{TH} , $\Delta\beta$) sur le point de croisement et la symétrie $t_{pLH} = t_{pHL}$. La Figure 44 montre que la valeur moyenne de la distribution gaussienne est $V_{DD}/2 = 500$ mV, avec un écart-type d'environ $\sigma = 2.4$ mV (14.2 mV à 6σ).

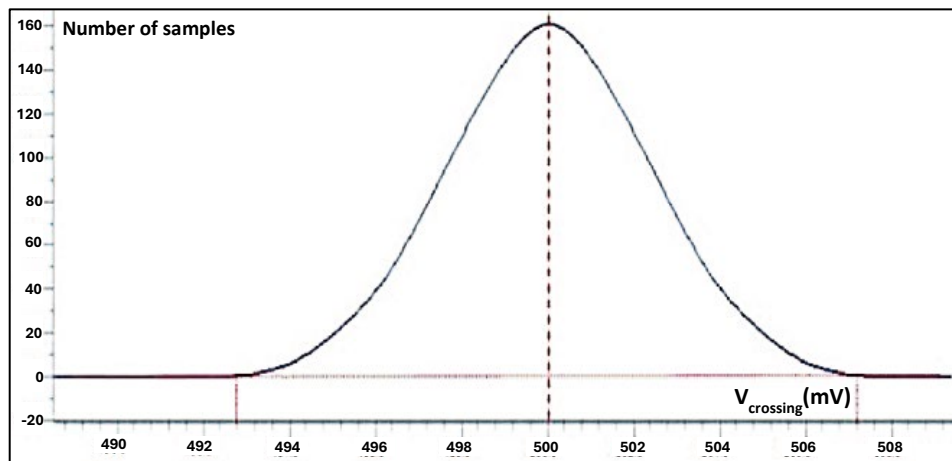


Figure 44. Distribution de Monte-Carlo de la tension de croisement

Pour réaliser un QRO constitué de quatre inverseurs complémentaires en cascade, il est essentiel, pour garantir une symétrie optimale, de compléter l'auto-calibration via les grilles arrière par l'égalisation des courants de sortie des transistors NMOS et PMOS, ainsi que de leurs capacités d'entrée C_{ox} . Ces dernières définissent la charge vue par l'étage précédent lors des transitions : à courant et capacité égaux, les temps de transition seront également égaux. Le détail de la stratégie de dimensionnement est précisé dans la thèse de Y. Mao [Mao 2023]. Les dimensions finales choisies ($WP/LP=4.1 \mu m/30$ nm, $WN/LN=2 \mu m/60$ nm) assurent des performances optimales en termes de vitesse et de symétrie des signaux dans la structure de l'inverseur complémentaire.

4.2.2.2 Analyse en régime continu (DC) de l'inverseur complémentaire

La Figure 45 compare les fonctions de transfert DC d'un inverseur complémentaire et d'un inverseur classique à surface équivalente. La courbe de l'inverseur complémentaire présente une pente plus raide autour de $V_{DD}/2 = 0.5$ V, signe d'une réponse plus rapide aux variations du signal d'entrée. Cette caractéristique rend l'inverseur complémentaire particulièrement adapté aux applications nécessitant un traitement rapide des signaux et une commutation à haute vitesse.

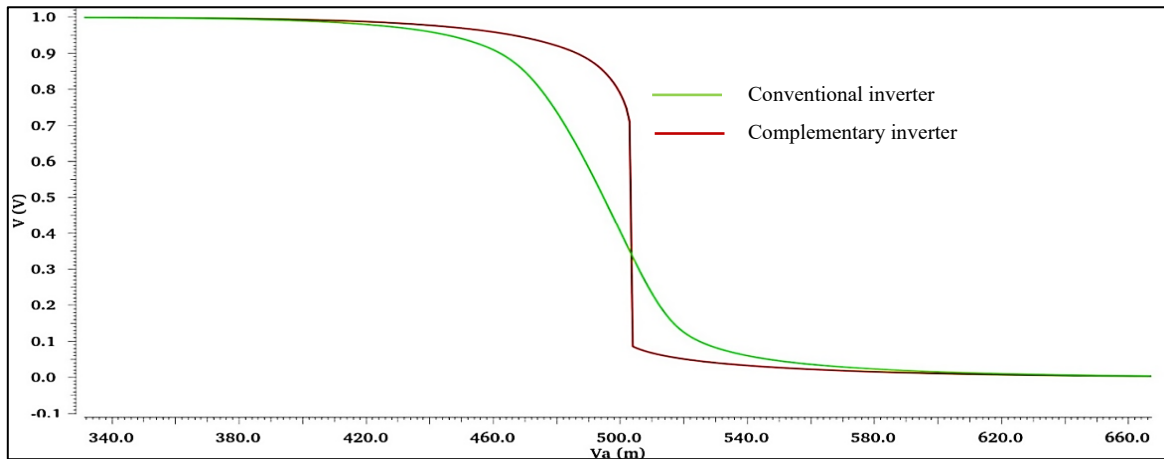


Figure 45. Fonction de transfert DC de l'inverseur complémentaire et de l'inverseur classique

4.2.2.3 Analyse AC de l'inverseur complémentaire

Une simulation en régime alternatif (AC) a également été menée. Elle met en évidence un gain de 17 dB et une bande passante de 4.4 GHz (Figure 46), attribués à une boucle de rétroaction formée entre deux ensembles d'inverseurs. Cette rétroaction, passant par les grilles arrière, amplifie successivement le signal, ce qui augmente significativement le gain par rapport à un inverseur standard. Par ailleurs, la stabilité de phase est remarquable : la variation reste proche de 180° jusqu'à 1 MHz, ce qui témoigne d'une bonne stabilité temporelle dans la gamme des basses fréquences.

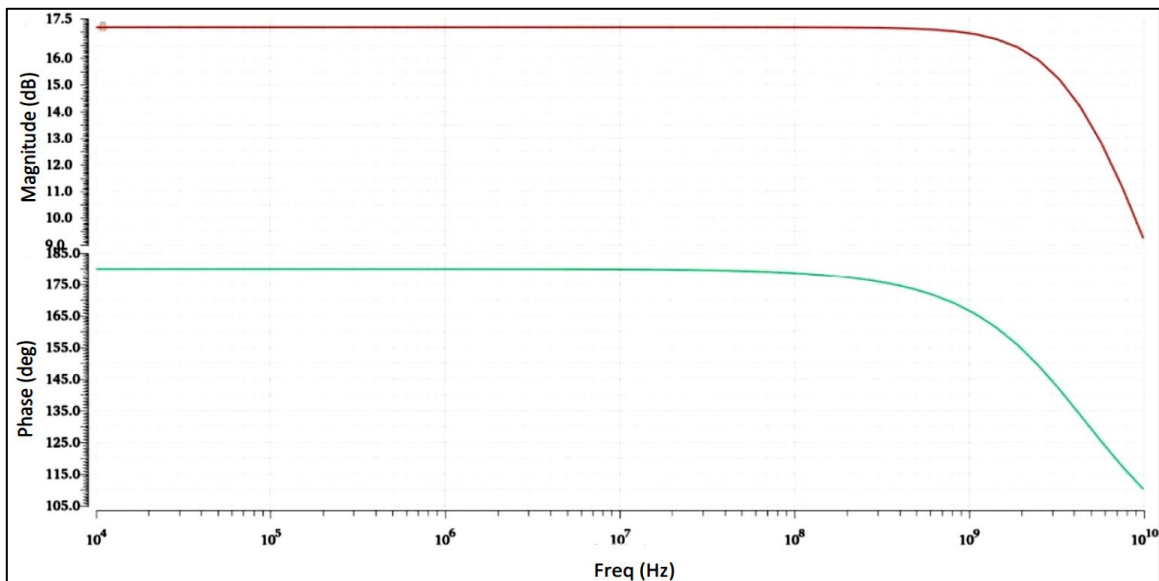


Figure 46. Réponse fréquentielle de l'inverseur complémentaire

Cette topologie d'inverseur complémentaire présente deux avantages majeurs pour la réalisation d'un oscillateur en anneau :

- elle permet d'obtenir un **rapport cyclique proche de 50 % avec un faible jitter** [Wei et al. 2017] ;
- elle **autorise la réalisation d'un oscillateur en anneau à nombre pair d'inverseurs**, la boucle de rétroaction via les grilles arrière assurant le déphasage et le gain requis pour satisfaire la condition d'oscillation [Mao 2023].

Cette dernière caractéristique facilite la réalisation d'un QRO, capable de produire quatre sorties identiques en amplitude et en fréquence, mais déphasées de 0°, 90°, 180° et 270°.

4.2.3 Architecture et simulation d'un QRO complémentaire auto-calibré

Un oscillateur en anneau, basé sur une structure complémentaire, est proposé en s'appuyant sur les travaux de Z. Wei [Wei 2019]. L'architecture comprend une séquence de quatre étages en cascade, chacun étant constitué d'inverseurs complémentaires. La Figure 47a illustre cette topologie et met en évidence la relation de complémentarité entre les signaux d'entrée et de sortie. Ainsi, les huit sorties décalées de 45° sont centrées autour de $V_{DD}/2$. Sur la Figure 47b, seules les phases espacées de 90° sont représentées.

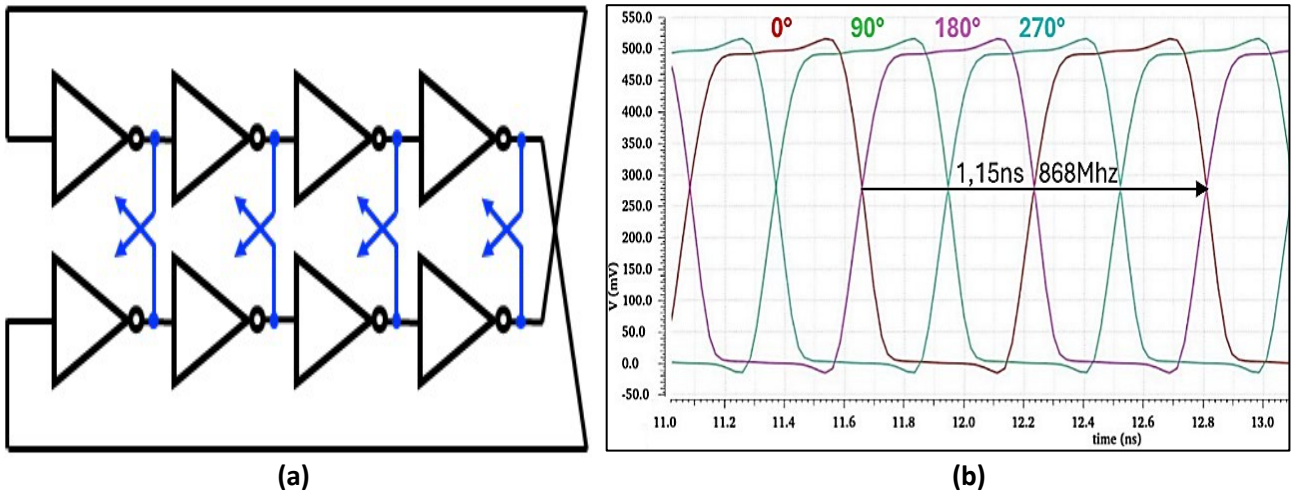


Figure 47. QRO : (a) Topologie ; (b) Résultat de la simulation transitoire à 868 MHz

Nous utilisons la tension d'alimentation V_{DD} pour moduler la fréquence de l'oscillateur. À $V_{DD} = 0.5$ V, celui-ci fonctionne à 868 MHz pour une consommation de $48 \mu\text{W}$, avec un bruit de phase de -83 dBc/Hz à 1 MHz. À $V_{DD} = 0.62$ V, la fréquence atteint 2.4 GHz, la consommation $168 \mu\text{W}$, et le bruit de phase est de -79 dBc/Hz à 1 MHz, ce qui confirme une stabilité fréquentielle satisfaisante.

Nous avons ensuite étudié un oscillateur LC, puis comparé ses performances à celles du QRO, afin d'identifier l'architecture la plus adaptée à la conception d'un ILCDR.

Les transistors à triple puits nfettw (RVT, adaptés au RBB) et lvtpfettw (LVT, adaptés au FBB), issus de la bibliothèque UTBB-FDSOI 28 nm de STMicroelectronics, constituent les briques élémentaires de nos circuits. Leur structure à triple puits permet l'application sûre d'une tension sur la grille arrière et favorise une grande compacité du layout grâce à l'intégration NMOS/PMOS dans un même puits P. Ces transistors sont réutilisés dans toutes les architectures étudiées, y compris l'oscillateur LC, afin de conserver les mêmes propriétés technologiques et d'assurer une comparaison équitable avec le QRO.

Nous avons également développé un miroir de courant auto-calibré exploitant les grilles arrière, pour réduire l'effet de la modulation de longueur de canal (Channel Length Modulation, CLM) et contrôler la pente du courant de sortie. En surcompensant cette modulation, il devient possible d'obtenir une pente négative (résistance négative), permettant ainsi de réaliser un oscillateur LC. La section suivante présente les travaux publiés dans cette revue internationale [Mao et al. 2024a].

4.2.4 Conception d'un oscillateur LC à résistance négative

4.2.4.1 Nouvelles topologies de miroir de courant exploitant la technologie UTBB-FDSOI

La Figure 48a illustre la structure classique d'un miroir de courant réalisé avec des transistors NMOS, avec les grilles arrière connectées à la masse. Dans cette configuration, en régime saturé, la CLM induit une variation du courant de sortie I_{OUT} en fonction de la tension V_{OUT} . Cette dépendance est particulièrement marquée en canal court, où les SCE (notamment le DIBL) renforcent la pente $I_{OUT}(V_{OUT})$ et conduisent à un coefficient de modulation de longueur de canal λ effectif plus élevé. Pour atténuer cette pente indésirable en régime saturé, la solution proposée consiste à polariser dynamiquement la grille arrière des transistors UTBB-FDSOI [Wei 2019]. Cette polarisation introduit une rétroaction qui compense l'effet de la CLM sur I_{OUT} , améliorant ainsi la stabilité du courant de sortie. Cette approche est applicable au miroir de courant classique, en reconfigurant les grilles arrière des transistors UTBB-FDSOI comme l'illustre la Figure 48.

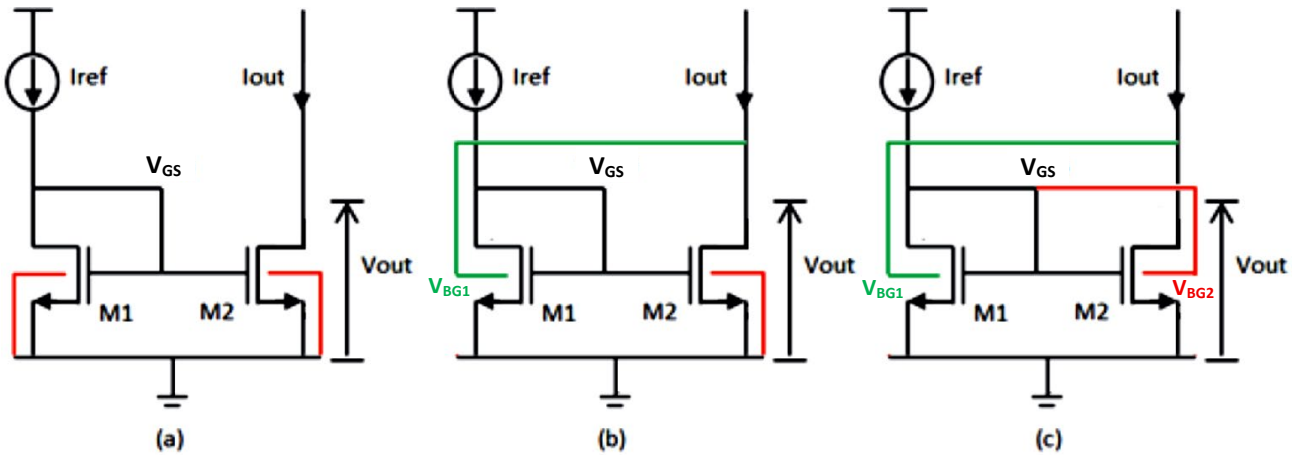


Figure 48. Miroirs de courant de base avec trois configurations de grille arrière : (a) Avec grilles arrière à la masse ; (b) Avec une grille arrière croisée ; (c) Avec deux grilles arrière croisées

La Figure 48b illustre une configuration où le drain de M2 (V_{OUT}) est connecté à la grille arrière du transistor M1 (V_{BG1}). Dans cette configuration, V_{BG1} suit V_{OUT} , qui varie entre 0 et 1 V. Lorsque V_{BG1} augmente, V_{TH1} diminue et donc la tension V_{GS} requise pour conduire le courant I_{REF} (imposé par la polarisation) diminue, comme le montre l'équation (9). Par conséquent, via l'équation (10), la diminution de V_{GS} répercutée sur M2 compense l'augmentation de I_{OUT} induite par la CLM, ce qui module la pente du courant de sortie et peut la rendre quasi horizontale, voire négative, selon la longueur des transistors utilisés. Autrement dit, cette topologie introduit une rétroaction négative via la grille arrière : V_{OUT} pilote V_{BG1} , ce qui module V_{TH1} puis V_{GS} , et tend à compenser la pente de sortie liée à g_{ds2} .

$$I_{REF} = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_1 (V_{GS} - V_{TH1})^2 (1 + \lambda V_{DS1}) \quad (9)$$

$$I_{OUT} = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_2 (V_{GS} - V_{TH2})^2 (1 + \lambda V_{DS2}) \quad (10)$$

De plus, la tension V_{DS1} peut être connectée à V_{BG2} , comme le montre la Figure 48c. Ainsi, V_{BG2} se trouve à un potentiel plus haut que celui de la masse. Cela réduit la tension de seuil V_{TH2} et donc augmente I_{OUT} , comme le montre l'équation (10). Cette configuration permet ainsi de conserver la stabilisation apportée par la polarisation dynamique tout en réajustant le niveau I_{OUT} vers I_{REF} .

Les simulations présentées ci-après sont réalisées en régime de fonctionnement modéré, avec un courant de référence I_{REF} faible de 1 μA . La Figure 49 illustre les résultats obtenus pour un miroir de courant de base, avec les trois configurations de grille arrière présentées en Figure 48, et en utilisant des transistors de dimensions réduites ($W_N/L_N = 80 \text{ nm} / 33 \text{ nm}$) afin de renforcer les SCE. Sur la courbe rouge, I_{OUT} montre une dépendance quasi exponentielle à V_{DS2} , caractéristique de la CLM, fortement accentuée par le DIBL en régime modéré, en l'absence de contrôle via les grilles arrière. Sur la courbe bleue, on observe un courant de sortie nettement plus stable, révélant une compensation efficace via V_{BG1} . Sur la courbe verte, I_{OUT} augmente par rapport à la configuration précédente, jusqu'à atteindre le courant de référence de 1 μA . Cela s'explique par la réduction de V_{TH2} , induite par la connexion de sa grille arrière au drain de M1, ce qui augmente le courant de sortie tout en conservant une bonne stabilité.

Ces résultats montrent que la compensation de la pente en sortie reste efficace même avec des longueurs proches du minimum technologique : il est donc possible de conserver un miroir compact tout en améliorant l'impédance de sortie, sans recourir à un cascode ou à un allongement du canal.

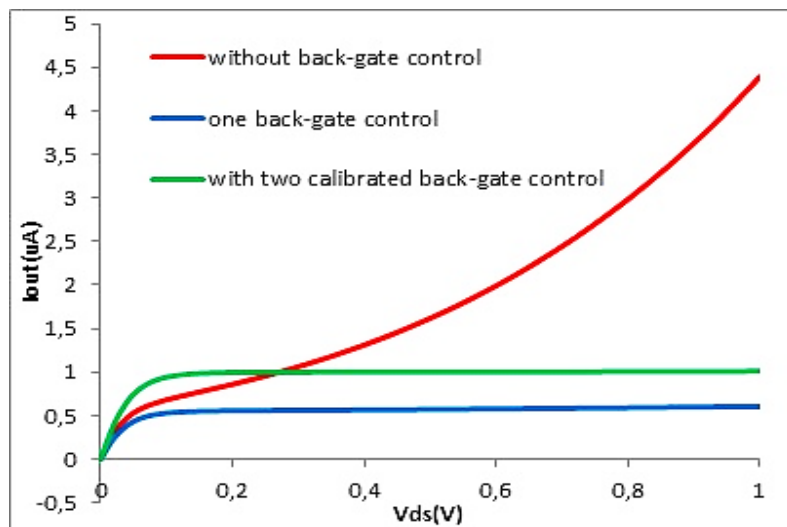


Figure 49. Comparaison entre les différentes configurations de grille arrière

Les résultats précédents, obtenus volontairement en régime de fonctionnement modéré avec des transistors de petites surfaces et avec un faible courant de référence, permettent de mettre en évidence le mécanisme de compensation de la CLM par polarisation dynamique des grilles arrière. Pour valider expérimentalement ce principe, une puce de test a été réalisée [Wei 2019]. Les miroirs de courant ont alors été dimensionnés pour un fonctionnement en régime de forte inversion et à des niveaux de courant plus élevés, représentatifs de conditions d'utilisation réalistes.

4.2.4.2 Réalisation de miroirs PMOS en UTBB-FDSOI et mesures

Deux structures de miroir de courant PMOS ont été réalisées sur une puce de test en technologie UTBB-FDSOI : l'une avec les grilles arrière croisées, l'autre avec les grilles arrière connectées à V_{DD} . Pour cette réalisation, conçue pour un fonctionnement en régime de forte inversion, une longueur de canal de 35 nm et une largeur de 100 μm (bien plus importante que dans le cas précédent) ont été retenues.

Ce choix (large W) vise à réduire le bruit et le mismatch, et à renforcer la reproductibilité expérimentale, afin d'isoler l'influence de L sur le mécanisme de compensation. Par ailleurs, l'utilisation de courants de référence élevés rend l'effet de la CLM plus marqué, ce qui facilite l'observation expérimentale de la compensation. La Figure 50 montre la structure réalisée avec grilles arrière croisées.

Dans un premier temps, la longueur du transistor de sortie PB a été optimisée par simulation en régime continu (DC). La Figure 51 présente les résultats de simulation obtenus pour trois longueurs de canal différentes : $L = 34 \text{ nm}$, 35 nm et 36 nm , avec une largeur constante $W = 100 \text{ }\mu\text{m}$ et un courant de référence fixé à $I_{\text{REF}} = 45 \text{ }\mu\text{A}$. Les résultats montrent une forte sensibilité du courant de sortie à la longueur du canal : L modifie la conductance de sortie g_{ds2} , tandis que l'efficacité de la rétroaction par grille arrière est liée au terme g_{mb1} . De faibles variations de L peuvent donc faire passer la structure d'une compensation correcte à une surcompensation. Une longueur de 35 nm a été identifiée comme optimale, assurant une compensation équilibrée entre les deux effets. À l'inverse, une longueur plus courte ($L = 34 \text{ nm}$) entraîne une sous-compensation, tandis qu'une longueur plus longue ($L = 36 \text{ nm}$) conduit à une surcompensation, dégradant la stabilité du courant de sortie.



67

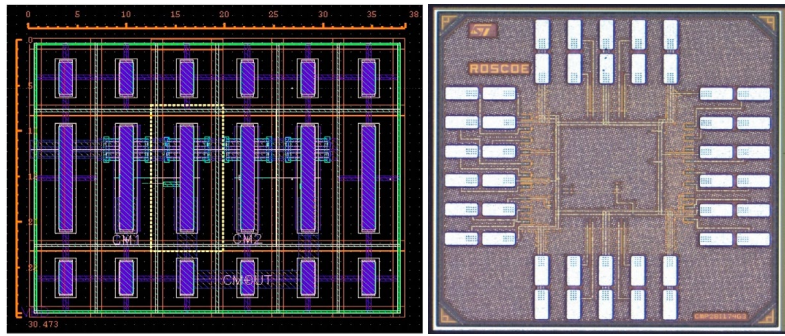


Figure 52. (a) Layout des deux miroirs de courant (b) Puce de test

L'expérimentation a consisté à caractériser le miroir pour trois valeurs de courant de référence ($I_{REF} = 45, 90$ et $180 \mu A$), avec des transistors dimensionnés à une longueur de canal optimale de 35 nm . Les résultats de simulation et de mesure sont comparés sur la Figure 53 (pointillés et traits pleins, respectivement), avec contrôle des grilles arrière (Figure 53a) et sans contrôle des grilles arrière (Figure 53b). Les simulations avec contrôle dynamique de la grille arrière montrent une bonne concordance avec les mesures dans la région de saturation, malgré un écart sur la tension de saturation ($\approx 0.1 \text{ V}$ en simulation, plus élevée en mesure). Cet écart, situé près de la limite saturation ($V_{DS} \approx 0.1 \text{ V}$), peut s'expliquer par une sous-estimation des résistances série et des parasites d'interconnexion en simulation, qui réduisent le V_{DS} effectif du transistor de sortie. Il peut aussi être accentué par la dynamique d'auto-polarisation via les grilles arrière croisées, qui module le V_{TH} effectif au cours du balayage de V_{DS} . Ces résultats confirment néanmoins que l'auto-polarisation stabilise efficacement le courant en saturation pour les trois niveaux de courant testés.

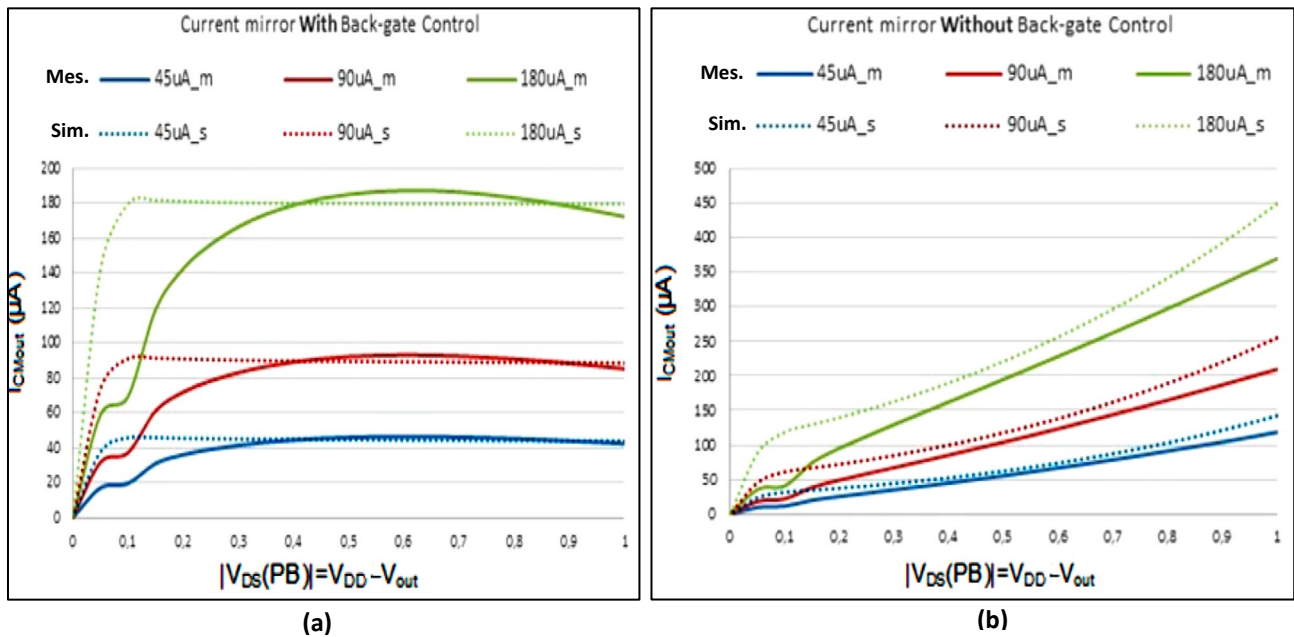


Figure 53. Comparaison entre mesures et simulations du miroir de courant pour trois valeurs de I_{REF} : (a) Avec contrôle des grilles arrière ; (b) Sans contrôle des grilles arrière

L'effet de surcompensation de la CLM est plus marqué dans les mesures, où l'on observe l'apparition d'une légère pente négative (comportement de résistance négative) dans la région de saturation (notamment pour $I_{REF} = 180 \mu A$). Cette sensibilité peut être un inconvénient pour la réalisation de miroirs de courant précis, mais elle devient un avantage dans les circuits qui exploitent une résistance négative.

La section suivante décrit comment exploiter ce miroir de courant pour générer une résistance négative, en s'appuyant sur la surcompensation de la CLM.

4.2.4.3 Oscillateur LC à résistance négative

Sur la base des résultats précédents, un oscillateur à résonateur LC exploitant une résistance négative a été étudié par simulation. Le circuit est obtenu en ajustant la longueur du transistor de sortie du miroir de courant afin de générer une résistance négative suffisante pour compenser les pertes du résonateur. Plusieurs simulations DC ont ainsi été menées pour différentes valeurs du courant de référence. Un courant de référence de 1 mA a été retenu afin d'augmenter g_m du transistor actif et de générer, en combinaison avec la rétroaction par grilles arrière croisées, une résistance négative suffisamment marquée pour compenser les pertes du résonateur LC.

La Figure 54 présente les résultats de simulation pour un courant de référence de 1 mA. Ces simulations ont été effectuées en faisant varier progressivement la longueur du canal (L) du transistor de sortie, de 30 nm à 100 nm, par pas de 10 nm.

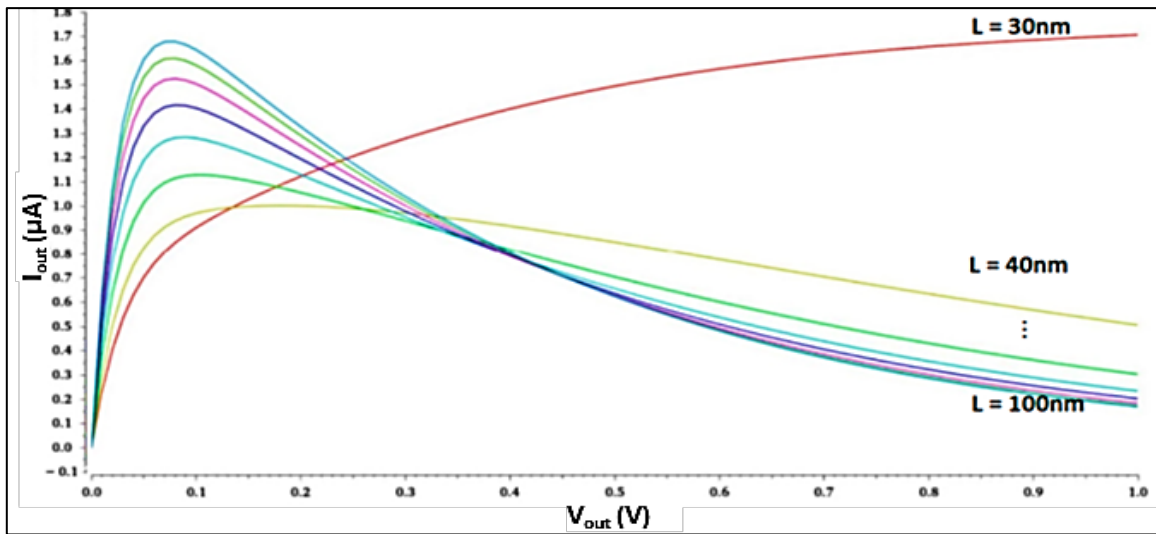


Figure 54. Simulation pour différentes longueurs du transistor de sortie avec un courant de référence de 1 mA

Pour des longueurs de canal L supérieures à 50 nm, la valeur de la résistance de sortie devient peu sensible à L . Le module de la pente de sortie $|g_{out}|$ atteint un maximum autour de $L = 80$ nm. Cette valeur a donc été retenue pour les deux transistors du miroir afin de générer la résistance négative. Le courant d'entrée est fourni par un transistor UTBB-NMOS piloté par V_{BIAS} , comme l'illustre la Figure 55. Le circuit à résistance négative est connecté en parallèle du résonateur LC, dont l'oscillation est fixée par l'inductance et la capacité.

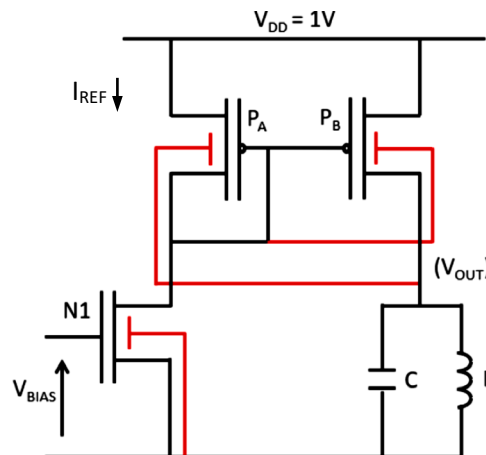


Figure 55. Schéma de l'oscillateur à résonateur LC intégrant la résistance négative issue du miroir de courant, les fils rouges indiquent la polarisation de la grille arrière pour chaque transistor

La fréquence de résonance visée, 2.45 GHz, a été obtenue avec une inductance de 1 nH et une capacité de 4.2 pF, selon l'équation (11). Cette valeur correspond au résonateur idéal. L'ajout des capacités parasites du miroir de courant ramène ensuite la fréquence simulée à 2.37 GHz.

$$f_0 = \frac{1}{2\pi\sqrt{LC}} = 2.45 \text{ GHz} \quad (11)$$

Pour évaluer les performances transitoires et le bruit de phase pour différentes valeurs de V_{BIAS} , plusieurs simulations ont été réalisées en tenant compte de la résistance série de l'inductance, comme le montre la Figure 56.

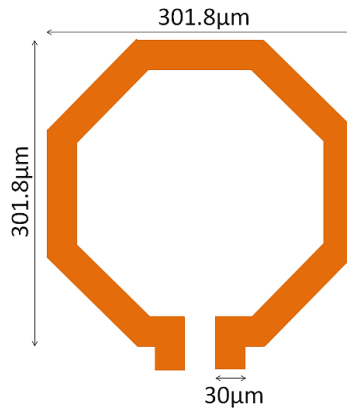


Figure 56. Layout de l'inductance

En raison de la géométrie de l'inductance, sa longueur effective est estimée à 908 μm . La résistivité du métal sélectionné est de 6.6 m Ω par unité de longueur, soit une résistance série $R_s = 908/30 \times 6.6 \approx 200 \text{ m}\Omega$. La résistance équivalente en parallèle est déterminée à partir de l'équation (12) :

$$R_{//} = \frac{(\omega_0 L)^2}{R_s} = 1.2 \text{ k}\Omega \quad (12)$$

À partir de cette valeur, le facteur de qualité Q du résonateur LC calculé est $Q = 2\pi RCf_0 \approx 77$. Pour valider ces résultats, l'impédance du résonateur LC a été simulée en intégrant la résistance série $R_s = 200 \text{ m}\Omega$. La réponse en fréquence simulée du résonateur, présentée sur la Figure 57, montre un maximum d'impédance à la fréquence de résonance ($f_0 = 2.45 \text{ GHz}$).

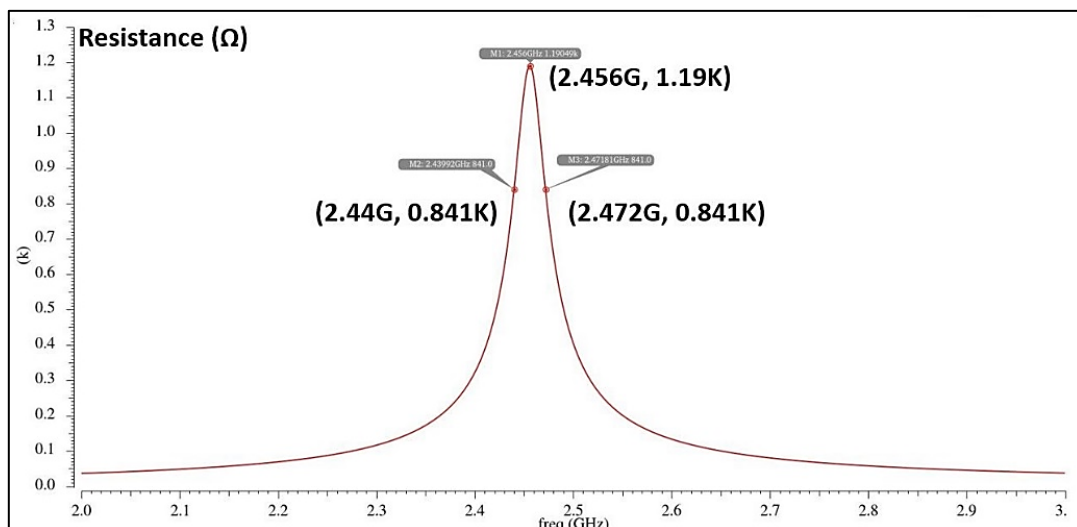


Figure 57. Impédance du résonateur LC en fonction de la fréquence

À la fréquence de résonance, l'impédance simulée vaut $R// = 1.2 \text{ k}\Omega$, conformément aux prévisions. La bande passante, définie pour une impédance $Z = 850 \Omega$, est de $2472 - 2440 = 32 \text{ MHz}$, ce qui conduit à un facteur de qualité $Q = 2455/32 \simeq 76$.

L'objectif est désormais de réaliser une résistance négative capable de compenser $R//$. Pour cela, il est nécessaire de déterminer la taille W/L des transistors P_A et P_B , ainsi que la valeur minimale du courant de référence I_{REF} (généré par $N1$ via V_{BIAS}). Dans un premier temps, une largeur $W = 100 \mu\text{m}$ a été choisie afin d'obtenir des valeurs de I_{REF} supérieures à quelques mA. Pour déterminer la valeur minimale de I_{REF} nécessaire au démarrage de l'oscillation, un générateur de courant idéal a été utilisé pour remplacer $N1$ dans la simulation. Les résultats indiquent que $I_{REFmin} = 2.3 \text{ mA}$. Pour atteindre ce courant avec une tension V_{BIAS} faible (par exemple 0.5 V), la taille du transistor $N1$ est fixée à $W/L = 30 \mu\text{m}/30 \text{ nm}$. La Figure 58 présente les dimensions des différents composants.

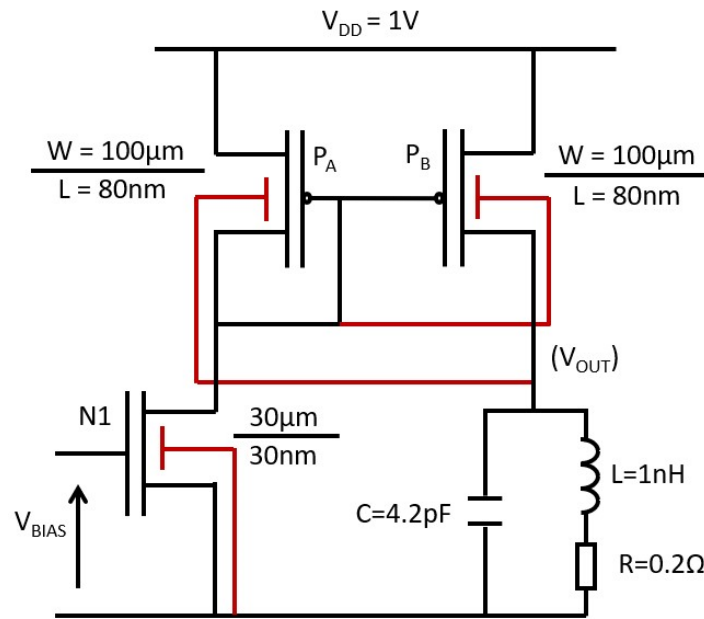


Figure 58. Dimensionnement de l'oscillateur à résonateur LC

Les résultats des simulations transitoires et de bruit de phase sont synthétisés dans le Tableau 2. Pour ces simulations, un générateur de courant idéal a été conservé en remplacement du transistor $N1$. Ces résultats montrent que la fréquence d'oscillation reste stable, et que le meilleur compromis entre temps de stabilisation, consommation électrique (I_{REF}) et bruit de phase est obtenu pour $I_{REF} = 5.0 \text{ mA}$ (correspondant à $V_{BIAS} = 0.6$). Selon l'application visée, il est possible d'ajuster le compromis entre bruit de phase et consommation tout en conservant la même fréquence de résonance.

Tableau 2. Performances de l'oscillateur LC pour différentes valeurs de V_{BIAS}

$V_{BIAS} \text{ (V)}$	$I_{REF} \text{ (mA)}$	Settling time (ns)	$f_{osc} \text{ (GHz)}$	PN (dBc/Hz @1MHz)
0.1-0.4	No oscillation			
0.5	2.3	80	2.38	-113
0.6	5.0	45	2.37	-114
0.7	7.4	30	2.36	-112
0.8	8.8	26	2.36	-111
0.9	9.6	25	2.36	-111
1.0	10.1	25	2.36	-111

Les Figures 59 et 60 présentent respectivement la simulation transitoire et les caractéristiques de bruit de phase du circuit pour une valeur de $I_{REF} = 5.0$ mA (correspondant à $V_{BIAS} = 0.6$ V). La Figure 59a montre le signal périodique en sortie, avec un temps de stabilisation de 45 ns. Sur la Figure 59b, un zoom permet de mesurer la fréquence d'oscillation à 2.37 GHz.

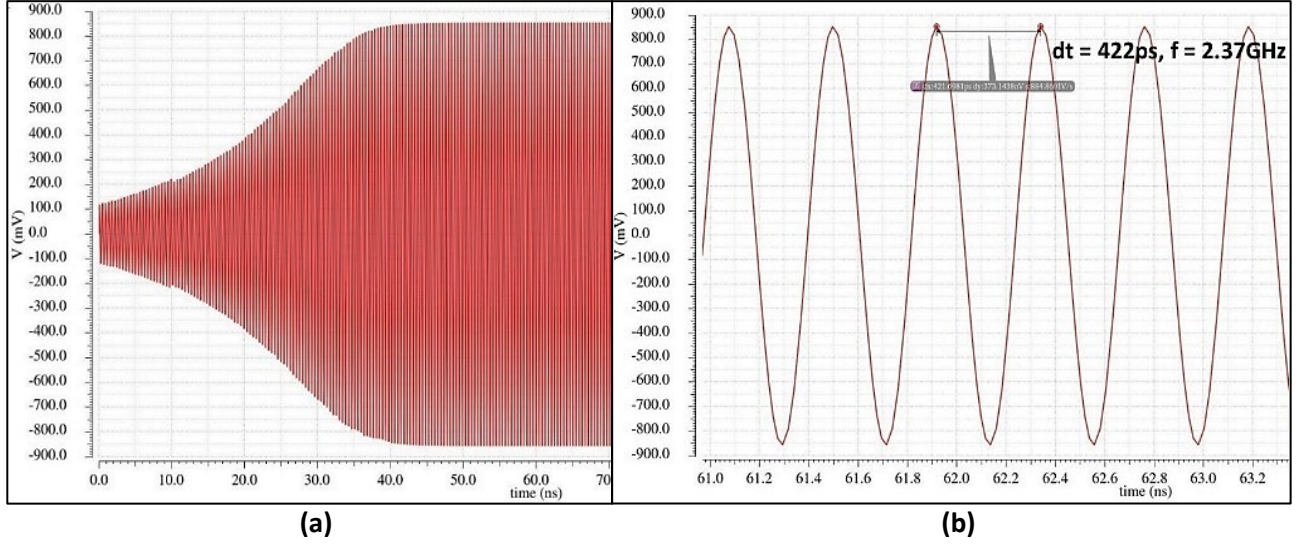


Figure 59. Simulations transitoires : (a) Temps de stabilisation, (b) Régime permanent

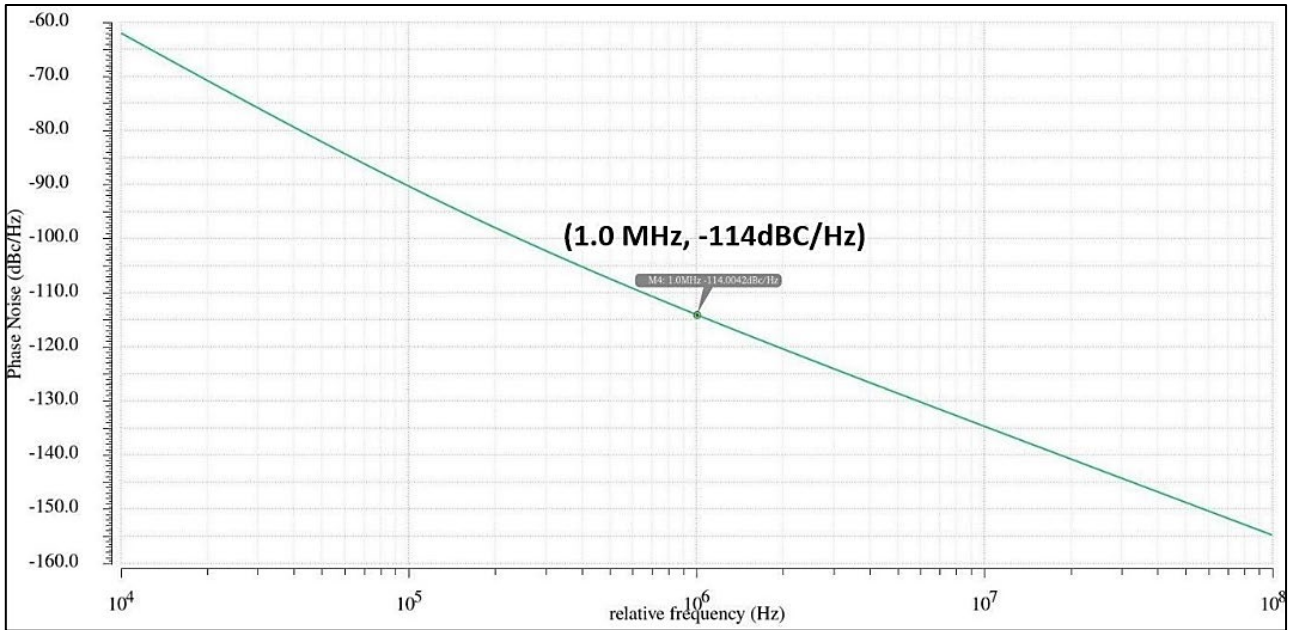


Figure 60. Simulation du bruit de phase avec $V_{BIAS} = 0.6$ V

Le produit puissance-délai (PDP) de cet oscillateur a été calculé à l'aide de l'équation (13) [Huq et al. 2021], et vaut 3.86 pJ. Le bruit de phase atteint -114 dBc/Hz à 1 MHz, comme l'illustre la Figure 60.

$$PDP_{(pJ)} = \frac{P_{(mW)}}{f_{\max} \text{ (GHz)}} \quad (13)$$

Nous avons ensuite extrait la capacité de sortie totale du miroir de courant. Elle s'avère très proche de la capacité C_{DS} du transistor PB. Cette valeur est estimée à $C_{OUT} = 0.3$ pF. La capacité totale du résonateur LC est donc de 4.5 pF, ce qui conduit à $f_0 = 2.37$ GHz en accord avec la valeur obtenue par simulation.

Le Tableau 3 compare les performances d'oscillateurs LC réalisés dans des nœuds technologiques proches de celui utilisé dans ces travaux (28 nm). Les figures de mérite (FOM) des différents circuits sont relativement proches, mais ce travail se distingue par un bruit de phase plus faible. La FOM utilisée est définie par la relation (14):

$$\text{FOM} = -L(f_m) + 20 \log\left(\frac{f_0}{f_m}\right) - 10 \log\left(\frac{P_{DC}}{1\text{mW}}\right) \quad (14)$$

où f_m désigne la fréquence de décalage à laquelle le bruit de phase est évalué (ici $f_m = 1$ MHz) et $L(f_m)$ désigne le bruit de phase unilatéral mesuré à f_m .

Tableau 3. Comparaison des performances de notre oscillateur LC avec d'autres travaux

Parameter	[Dolt et al. 2022]	[Chen et al. 2017]	[Hao et al. 2022]	This work
Technology (nm)	22 FinFET	28 bulk	22 FDSOI	28 FDSOI
Supply Voltage (V)	0.85	0.35	0.8	1
f_{osc} (GHz)	16	2.4	24	2.4
PN@1MHz (dBc/Hz)	-98	-110	-93	-114
Power Dissipation (mW)	5.94	1.3	20	9.26
FOM (dB)	174	176	168	172
Simulation or measurement results	Measurement	Measurement	Simulation	Simulation

Ces résultats montrent que notre structure se situe globalement au niveau de l'état de l'art, tout en offrant un bruit de phase amélioré et une conception simplifiée.

La modulation de V_{TH} par la grille arrière en UTBB-FDSOI réduit la dépendance du courant de sortie aux variations de V_{DS} dans un miroir de courant, et peut conduire, en cas de surcompensation, à une résistance négative. Ce mécanisme a été exploité pour la conception d'un oscillateur LC, dont les simulations montrent des oscillations stables autour de 2.45 GHz, obtenues pour une longueur optimale $L = 80$ nm avec un bruit de phase de -114 dBc/Hz à 1 MHz pour $V_{BIAS} = 0.6$ V.

Ces résultats constituent une preuve de concept de la topologie proposée. Des optimisations ont ensuite été validées par simulation, notamment la réduction d'un facteur 10 de la largeur des transistors N1 et PA, permettant de fixer le coefficient multiplicateur du miroir de courant à 10. Dans cette configuration, I_{REF} peut être réduit à 0.5 mA tout en maintenant $I_{OUT} = 5$ mA, ce qui abaisse la consommation totale à 5.1 mW (contre 9.26 mW initialement) et réduit la surface de silicium sans dégrader le bruit de phase.

Enfin, le remplacement de la capacité du résonateur LC par un varactor NMOS permettrait d'étendre ce démonstrateur vers un Voltage-Controlled Oscillator (VCO) intégrable dans une PLL. Il est important de souligner que les performances du circuit final seront peu sensibles aux variations technologiques des transistors utilisés, car la valeur de la résistance négative dépend faiblement des dimensions du transistor PB, tant que sa longueur reste comprise entre 50 et 100 nm. Des simulations PVT et Monte-Carlo demeurent nécessaires afin de quantifier la robustesse et les performances globales.

En synthèse, la polarisation dynamique des grilles arrière au niveau du miroir de courant apporte :

- une amélioration notable de l'impédance de sortie sans recourir à une structure cascode ;
- une stabilisation efficace du courant de sortie en canal court, permettant de conserver des longueurs réduites et donc un gain de surface ;
- la possibilité de générer une résistance négative pour des applications de type oscillateur LC.

La principale limite réside dans le réglage fin de la compensation, sensible au dimensionnement et au point de polarisation, ce qui peut conduire à des comportements de sous- ou de surcompensation selon les dispersions du procédé de fabrication. Cette approche est donc particulièrement pertinente sous faible tension et lorsque l'on recherche soit une source de courant à forte impédance de sortie, soit une résistance négative exploitable.

4.2.5 Comparaison entre l'oscillateur LC et le QRO pour l'ILCDR

Afin d'identifier la structure d'oscillateur la plus adaptée à la réalisation de l'ILCDR, nous comparons à 2.4 GHz les performances de l'oscillateur LC à résistance négative et du QRO, tous deux régulés par polarisation de grille arrière.

Du point de vue de la consommation, le QRO ne consomme que 0.17 mW, contre 9.26 mW pour l'oscillateur LC, ou 5.1 mW dans sa version optimisée. Cet écart s'explique par la présence du résonateur LC, plus coûteux en surface et en puissance, alors que le QRO repose sur une chaîne d'inverseurs intrinsèquement moins consommatrice et plus compacte.

En termes de bruit de phase, l'oscillateur LC atteint -114 dBc/Hz à 1 MHz de décalage, contre -79 dBc/Hz pour le QRO. Une meilleure stabilité fréquentielle est ainsi observée pour l'oscillateur LC, dont la fréquence dépend principalement des paramètres relativement stables des composants inductifs et capacitifs. En revanche, le QRO, réalisé à partir de multiples inverseurs, est plus sensible à l'introduction de bruit via les mécanismes de couplage et de rétroaction entre inverseurs.

Dans le cadre du choix de l'oscillateur du circuit ILCDR, le QRO a été retenu en raison de ses avantages en consommation et en compacité, malgré un bruit de phase plus élevé. Afin de réduire ce bruit de phase, la technique de verrouillage par injection a été mise en œuvre. Un signal numérique est ainsi injecté dans le QRO afin d'obtenir un ILO à faible jitter. Cet oscillateur permet ensuite de réaliser un ILCDR aux performances améliorées. Les travaux relatifs à l'ILO et à l'ILCDR sont présentés dans cette revue internationale [Mao et al. 2024b] et résumés dans les sections 4.2.6 et 4.2.7. Par ailleurs, j'ai encadré Florian Debieu, élève ingénieur en spécialité Electronique à Polytech Nice Sophia, qui a notamment participé à la conception de l'ILO.

4.2.6 Architecture et simulation d'un ILO pour l'ILCDR

La Figure 61 présente le schéma du circuit proposé. L'ILO ne démarre pas nécessairement de manière spontanée, ce qui impose l'ajout d'un circuit d'amorçage. Les transistors NMOS utilisés pour la remise à zéro (M_{inj}) ne peuvent forcer les nœuds internes que vers 0 V. Ainsi, l'initialisation doit agir sur deux nœuds distincts, situés à la sortie du premier et du second étage d'inversion, via les signaux Reset. Ce mécanisme est détaillé dans [Mao 2023]. En parallèle, le signal d'injection V_{inj} est appliqué aux transistors M_{inj} , qui assurent alors également la fonction d'injection nécessaire au verrouillage.

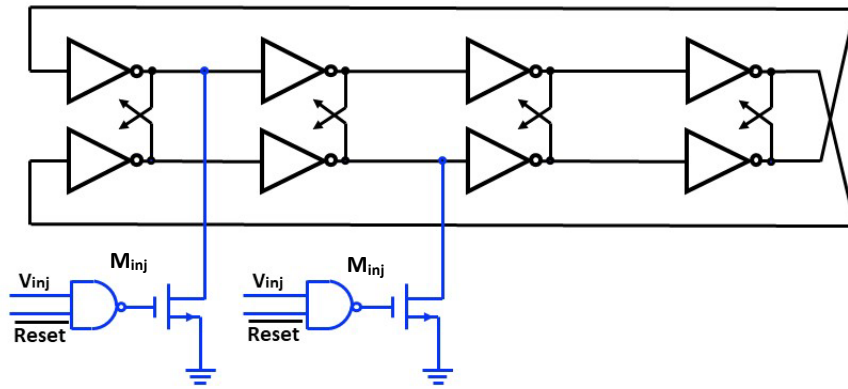


Figure 61. ILO (injection et remise à zéro en bleu)

Afin que les signaux Reset et V_{inj} puissent agir ensemble sans interférence, ils sont combinés à l'entrée d'une porte logique NAND. Par ailleurs, afin d'assurer un équilibrage capacitif entre les différentes branches de l'ILO, un transistor « dummy », de dimensions identiques à M_{inj} (et donc de capacité équivalente), est ajouté sur chaque sortie d'inverseur (non représentés sur la Figure 61).

Comme attendu avec le principe du verrouillage par injection, cette architecture permet d'élargir la plage de fréquences d'oscillation. Le circuit commence à osciller dès que V_{DD} atteint 0.4 V. Plus V_{DD} augmente, plus la plage de verrouillage s'étend.

Dans ce travail, les résultats sont présentés à 868 MHz, fréquence normée pour les protocoles de communication sans fil visés. En oscillation libre, le circuit fonctionne toutefois jusqu'à 7.3 GHz, comme illustré en Figure 62a. À 868 MHz, la plage de verrouillage par injection s'étend de 690 MHz à 1 GHz, soit 36 % de la fréquence centrale, comme le montre également la Figure 62a.

La Figure 62b compare le bruit de phase avec et sans injection. Dans un QRO libre, l'erreur de phase s'accumule sous l'effet du bruit thermique et du bruit en $1/f$. Le signal d'injection agit au contraire comme un rappel périodique de phase, limitant cette accumulation et réduisant le bruit de phase. Le bruit de phase mesuré à 1 MHz de décalage atteint alors -117 dBc/Hz, soit une atténuation de 34 dB par rapport au bruit de phase sans signal d'injection.

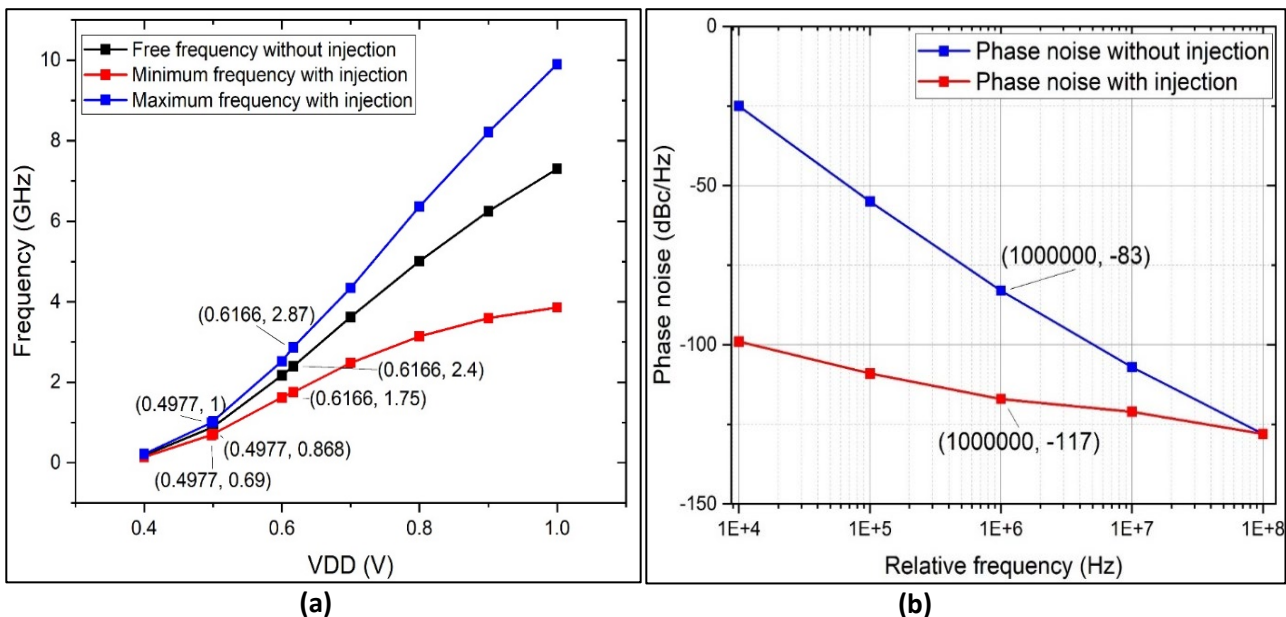


Figure 62. (a) Fréquence d'oscillation avec et sans injection en fonction de V_{DD} ; (b) Comparaison du bruit de phase en fonction de la fréquence relative

Ces résultats confirment que l'ILO présente des performances élevées en termes de bruit de phase et de plage de verrouillage, compatibles avec la réalisation d'un ILCDR, dont la conception est présentée dans la section suivante.

4.2.7 ILCDR : analyse temporelle, architecture et simulations

4.2.7.1 Analyse temporelle de l'ILCDR

Une séquence PRBS7 (Pseudo-Random Binary Sequence d'ordre 7) est retenue afin de modéliser un trafic de données en entrée réaliste des communications sans fil à faible débit et à faible consommation, telles que celles rencontrées dans les systèmes IoT visés. Sa longueur limitée permet de réduire la complexité des simulations et des mesures tout en conservant une variabilité suffisante des transitions binaires, nécessaire à l'évaluation du verrouillage par injection ainsi que des niveaux de jitter et de bruit de phase de l'ILCDR. Néanmoins, Il convient de rappeler que l'efficacité du verrouillage par injection dépend du maintien de la fréquence libre de l'oscillateur à proximité de la fréquence d'entrée, condition déterminante pour conserver une plage de verrouillage suffisante.

La Figure 63 présente un schéma en blocs simplifié de l'ILCDR. Le signal d'entrée, de type NRZ (Non-Return-to-Zero), est une séquence binaire pseudo-aléatoire d'ordre 7 (PRBS7) à 868 Mbps. Ce signal est ensuite transformé par un générateur d'impulsions, qui produit une impulsion à chaque transition binaire, générant ainsi un signal impulsionnel pseudo-aléatoire RZ (Return-to-Zero), à un débit d'impulsions doublé, soit 1.736 Gbps. Ce signal est injecté dans le QRO, qui se verrouille naturellement sur la composante dominante du spectre du signal impulsionnel, située autour de 868 MHz. Le signal issu du QRO est ensuite remis en forme et correspond à l'horloge récupérée à 868 MHz. Les données récupérées (D_{OUT}) correspondent alors au signal de sortie à 868 Mbps, obtenu après échantillonnage.

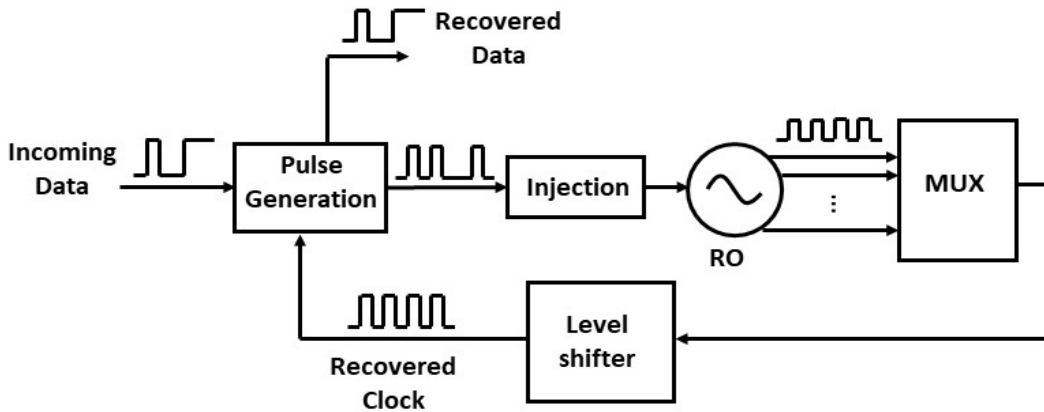


Figure 63. Schéma en blocs simplifié de l'ILCDR proposé

L'équation (15) décrit le comportement de l'impulsion de courant d'injection :

$$x(t) = \begin{cases} I_{\text{injection}} & 0 < t < \gamma \\ 0 & \gamma < t < T \end{cases} \quad (15)$$

où γ désigne la largeur d'impulsion et T la période de l'impulsion injectée [Borjkhani et al. 2014].

Les résultats de simulation obtenus à partir des huit signaux de sortie en quadrature de l'oscillateur montrent qu'une valeur de γ inférieure à $0.5T$ contribue à réduire le jitter. Par ailleurs, l'intensité de l'injection dépend du rapport cyclique du signal injecté, ce qui influe directement sur les performances de l'injection. Nos simulations montrent que la largeur d'impulsion optimale pour minimiser le jitter de l'ILCDR est égale à un quart de la période binaire ($T_b/4$), comme l'illustre la Figure 64.

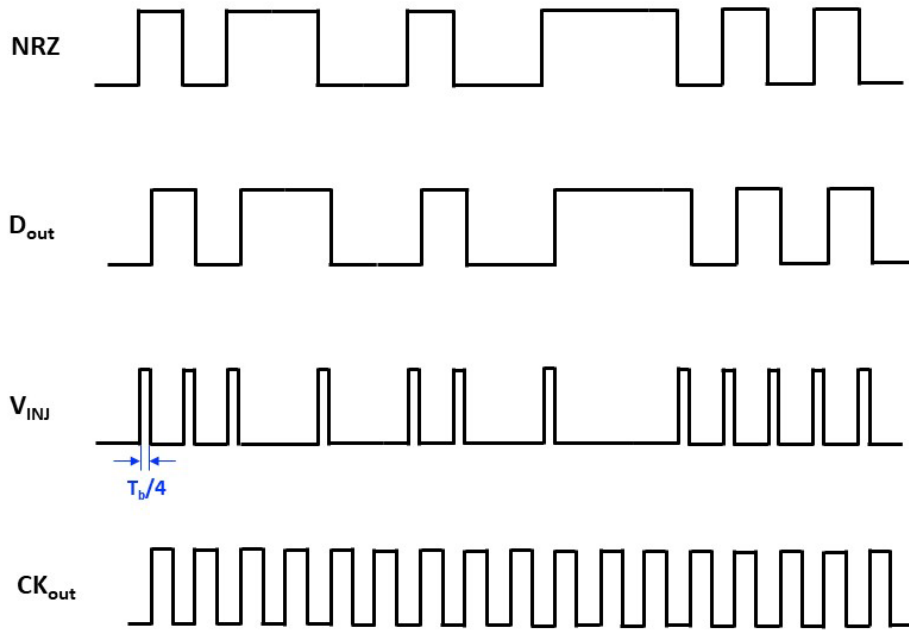


Figure 64. Chronogramme du système ILCDR proposé

4.2.7.2 Architecture de l'ILCDR

La Figure 65 illustre l'architecture de l'ILCDR proposé, qui comprend :

- le QRO ;
- un bloc de sélection d'horloge, composé de multiplexeurs 4:1 et d'un level shifter ;
- un générateur d'impulsion, constitué d'une bascule DFF, d'une XNOR et d'une NAND.

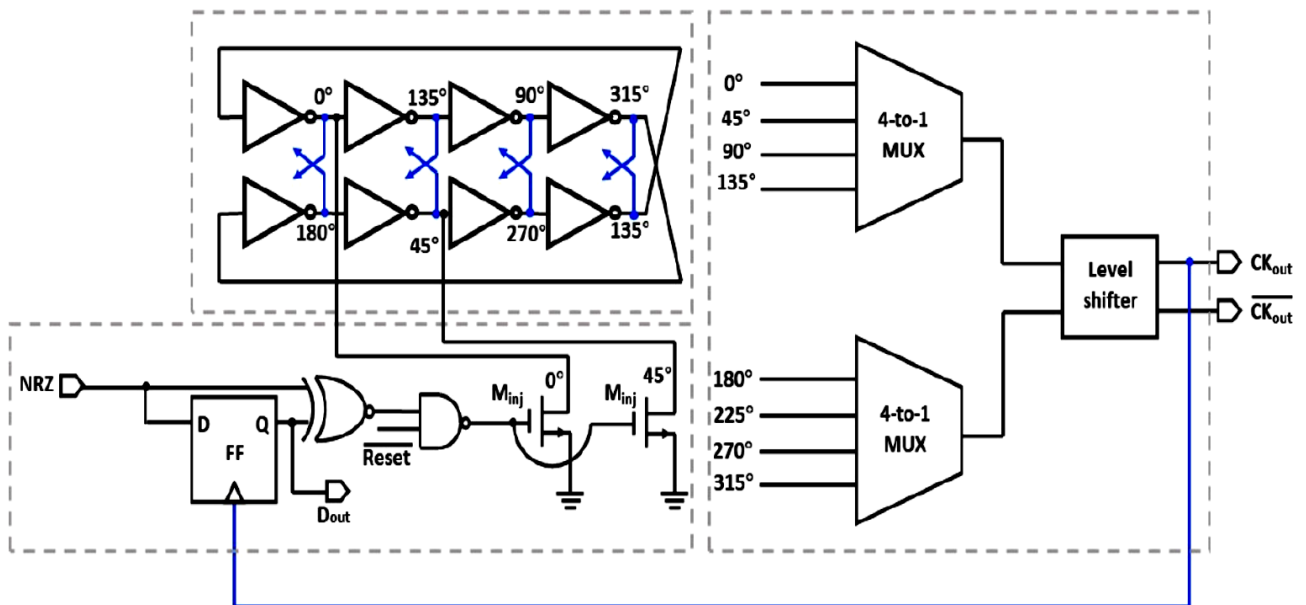


Figure 65. Architecture de l'ILCDR

Le signal d'entrée, codé en NRZ, présente une densité spectrale de puissance nulle à la fréquence d'horloge et à ses harmoniques, rendant impossible l'extraction directe du signal d'horloge [Proakis and Salehi 2008]. Le générateur d'impulsion crée un signal de données au format RZ, dont les composantes fréquentielles à la fréquence d'horloge deviennent exploitables.

4.2.7.3 Evaluation des performances de l'ILCDR : simulation schématique

La Figure 66 présente la simulation transitoire de l'ILCDR. Le signal d'entrée NRZ correspond à une séquence PRBS7 à 1 Gbps (valeur choisie pour simplifier la démonstration). Après échantillonnage synchrone, le signal D_{OUT} représente les données récupérées, décalées d'un cycle d'horloge. La porte XNOR détecte les transitions binaires entre les signaux NRZ et D_{OUT} , et génère un signal impulsionnel pseudo-aléatoire dont le débit peut atteindre 2 Gbps. Ce signal est ensuite mis en forme par une porte NAND, avant d'être injecté via les transistors $Minj$ dans l'ILO. L'ILO génère huit signaux périodiques à la même fréquence, décalés en phase de 45° . A titre d'exemple, la Figure 66 présente les signaux 90° et 270° , correspondant à deux phases en quadrature. Après un temps de verrouillage d'environ 5 ns, la fréquence se stabilise à 1 GHz. Ce temps de verrouillage valide la possibilité d'utiliser ce circuit en mode rafale, car il reste inférieur aux 50 ns généralement requis dans ce type d'application. Le signal CK_{OUT} , après remise en forme, est à la fréquence du signal verrouillée (1 GHz).

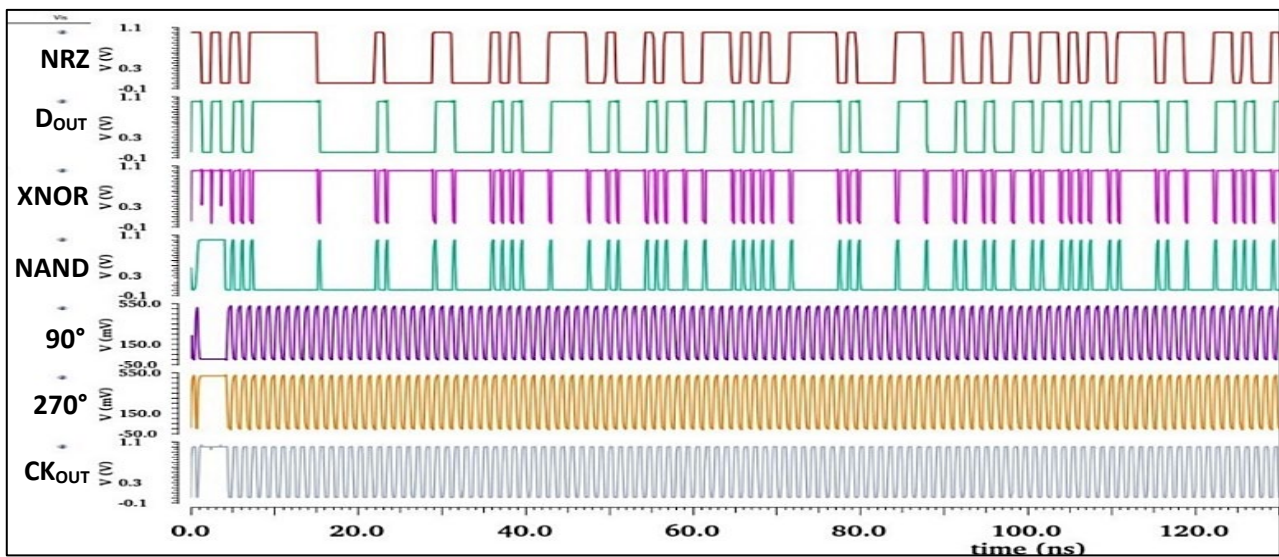


Figure 66. Simulation transitoire de l'ILCDR à 1 GHz

Dans cette architecture, l'élément à retard variable, généralement réalisé par des chaînes d'inverseurs, devient inutile, ce qui simplifie la structure tout en réduisant la consommation et la surface de l'ILCDR. En simulation, l'une des huit phases est sélectionnée manuellement et appliquée à la DFF afin d'ajuster la largeur du signal d'injection à $T_b/4$, ce qui permet de minimiser le jitter. Dans le cas d'une implémentation en silicium, les multiplexeurs 4:1 pourraient être pilotés par un sélecteur binaire, par exemple issu d'un bloc logique de type FSM (Finite State Machine), afin d'automatiser le choix de la phase optimale.

La technologie UTBB-FDSOI 28 nm de STMicroelectronics impose un V_{DD} de 1 V. Nous modulons V_{DD} pour contrôler la fréquence d'oscillation. Avec une tension d'alimentation de 0.5 V, l'ILCDR fonctionne à 868 MHz. La Figure 67 présente les résultats des simulations transitoires réalisées sur l'ILCDR à 868 MHz. On y distingue les données d'entrée D_{in} (signal NRZ), le signal d'horloge récupéré CK_{OUT} , les données récupérées D_{OUT} , ainsi qu'une sortie de l'ILO (RO_{OUT}).

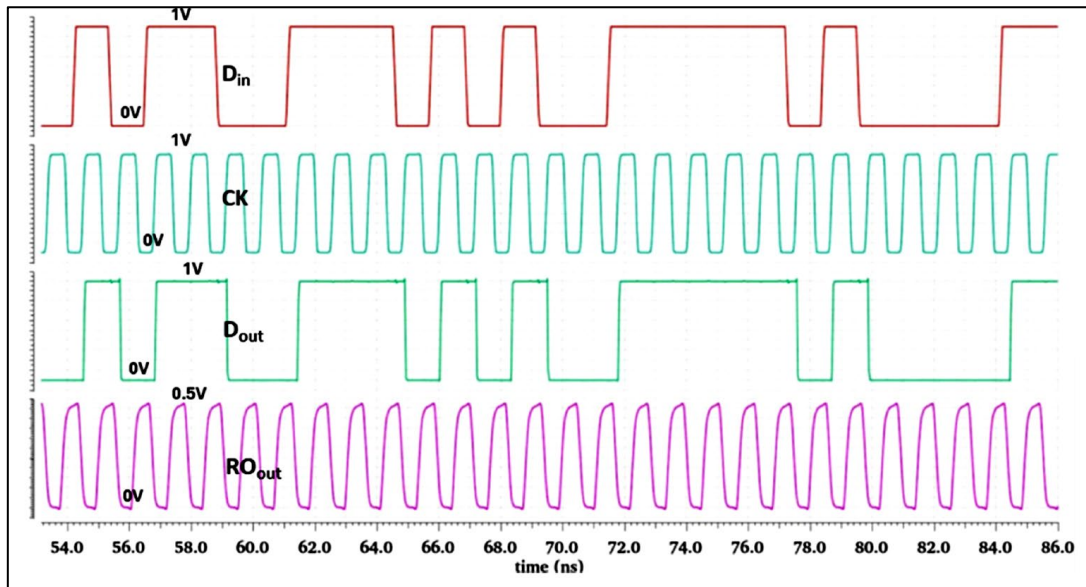


Figure 67. Simulation transitoire de l'ILCDR à 868 MHz

Sur la base de 10 000 cycles de simulation transitoire, la Figure 68 illustre les performances en termes de p-p jitter pour le signal d'horloge et les données récupérées. Le p-p jitter mesuré est de 7.4 ps pour l'horloge (soit 0.6 % de l'unité d'intervalle, UI) et de 2.3 ps pour les données PRBS7 (soit 0.2 % UI). Ces faibles niveaux de jitter traduisent l'efficacité du verrouillage par injection. La plage de verrouillage obtenue s'étend de 860 à 1100 Mbps, soit une marge de 28 % autour d'un débit nominal de 868 Mbps, sans erreur détectée sur les données en entrée, ce qui confirme la robustesse du mécanisme d'injection. Enfin, après passage par le level shifter, le signal de sortie atteint une amplitude de 1 V.

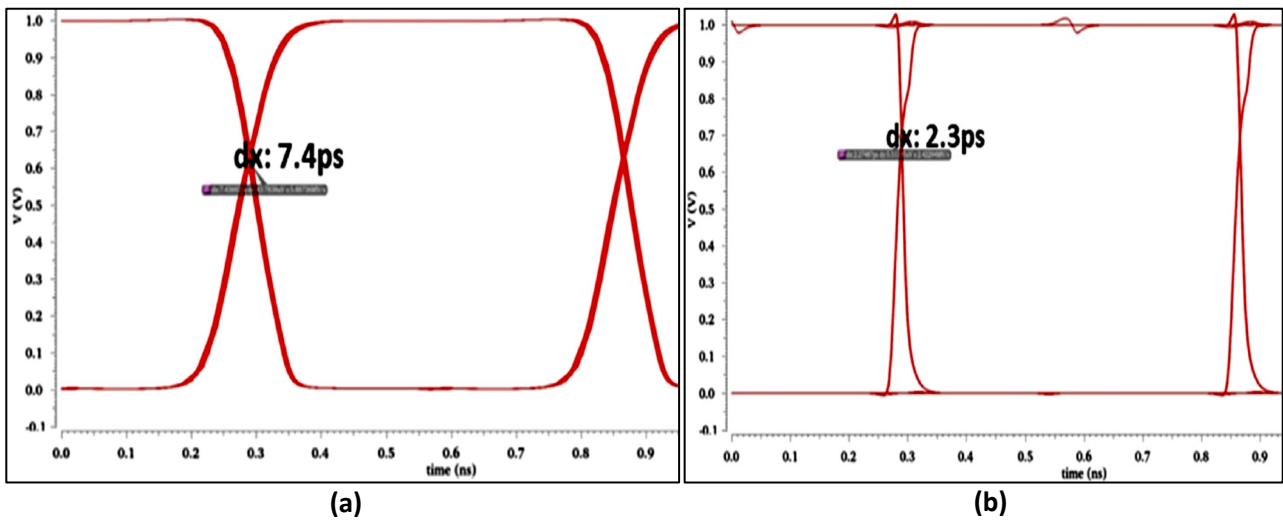


Figure 68. Diagramme de l'œil : (a) Horloge récupérée ; (b) Données récupérées [Mao 2023]

Ces résultats s'expliquent par le principe de fonctionnement de l'ILCDR. Dans un ILCDR, le jitter résulte à la fois des fluctuations temporelles du signal d'entrée et du bruit intrinsèque de l'oscillateur. En régime verrouillé, ces contributions se combinent pour former un jitter résiduel. Le verrouillage par injection permet de borner et filtrer ces fluctuations en réalignant périodiquement la phase de l'oscillateur sur le signal injecté [Razavi 2004]. De plus, l'architecture proposée exploite l'auto-calibration dynamique des grilles arrière des inverseurs complémentaires, ce qui réduit les erreurs de transition et améliore la robustesse temporelle de l'ILCDR.

La Figure 69 présente le bruit de phase de l'ILCDR mesuré à -121 dBc/Hz à 1 MHz lors de l'injection d'un signal périodique. Sans injection, il est de -86 dBc/Hz à 1 MHz.

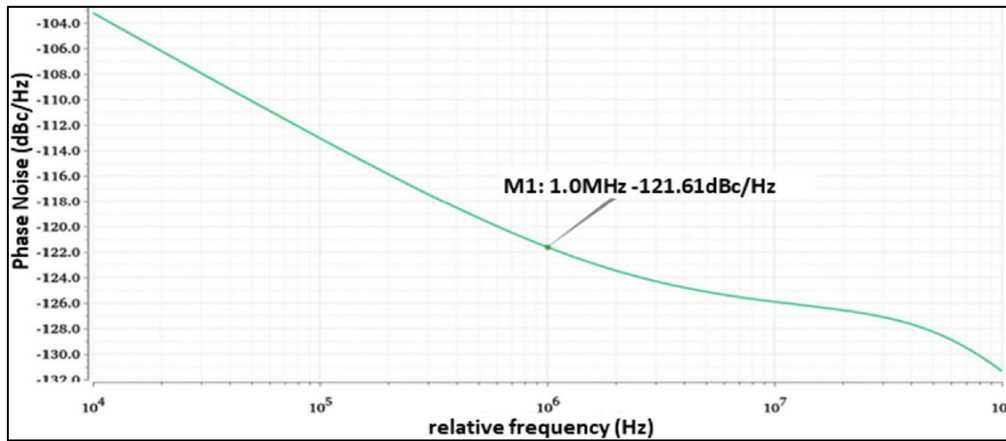


Figure 69. Bruit de phase de l'ILCDR

Les simulations transitoires montrent que, lorsque les données d'entrée sont un code aléatoire PRBS7 à 868 Mbps générant une horloge de 868 MHz, la consommation électrique de l'ILCDR verrouillé est de $235 \mu\text{W}$. L'efficacité énergétique de l'ILCDR est alors donnée par l'équation (16):

$$\text{Power efficiency} = \frac{0.235 \text{ mW}}{0.868 \text{ GHz}} = 0.27 \text{ pJ/bit} \quad (16)$$

Une analyse de Monte-Carlo process, prenant en compte les variations globales liées au procédé de fabrication, a été réalisée sur le circuit ILCDR afin d'étudier la distribution de la fréquence d'horloge obtenue. Cette simulation repose sur 500 tirages. L'histogramme présenté sur la Figure 70 montre la distribution de probabilité approximative.

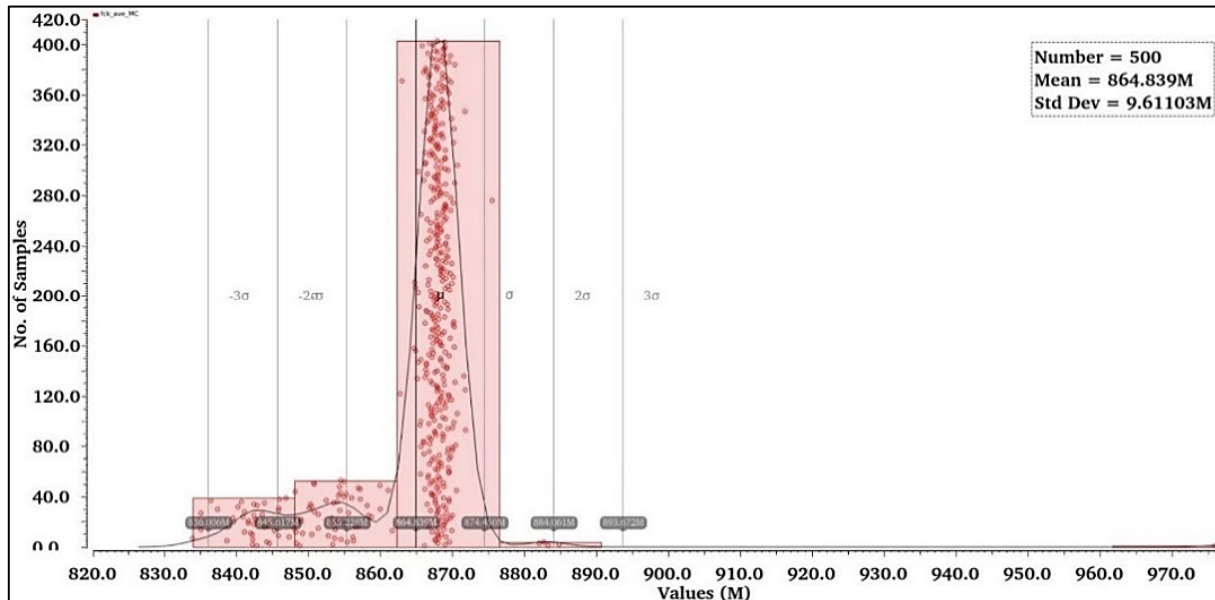


Figure 70. Résultat de l'analyse de Monte-Carlo process à 868 MHz (500 tirages)

La fréquence moyenne de l'horloge de sortie obtenue est de 864.8 MHz, avec une concentration notable des occurrences autour de 868 MHz. L'analyse de Monte-Carlo indique un écart type de 9.6 MHz. Cela montre que la variabilité due au procédé de fabrication sur la fréquence d'oscillation reste limitée, avec une déviation relative maximale d'environ 3.3% , calculée selon la relation $3\sigma/\text{moyenne}$.

4.2.7.4 Conception du layout et simulation post-layout de l'ILCDR

Pour l'implémentation physique de l'ILCDR, nous avons réalisé le layout de l'ILO, constitué de quatre inverseurs complémentaires, ainsi que les transistors M_{inj} du circuit de démarrage (Figure 65). Les multiplexeurs 4:1, le level shifter, la bascule DFF et les portes XNOR et NAND ont été instanciés à partir de cellules standard de la bibliothèque CMOS28LP de STMicroelectronics (UTBB-FDSOI 28 nm), dont les vues layout sont déjà validées (DRC/LVS). Cette approche permet de conserver un layout spécifique pour l'ILO (QRO et transistors d'injection) tout en réduisant le temps de conception et les risques d'erreur sur les blocs logiques d'interface.

La Figure 71a montre l'organisation du layout d'un inverseur complémentaire. La disposition symétrique des 4 transistors et de leurs ports vise à équilibrer les différents éléments du circuit, afin de simplifier la conception et d'améliorer la stabilité du système. La Figure 71b détaille le placement des transistors, des interconnexions et des ports. La surface occupée par ce layout est d'environ $8 \times 8 \mu\text{m}^2$.

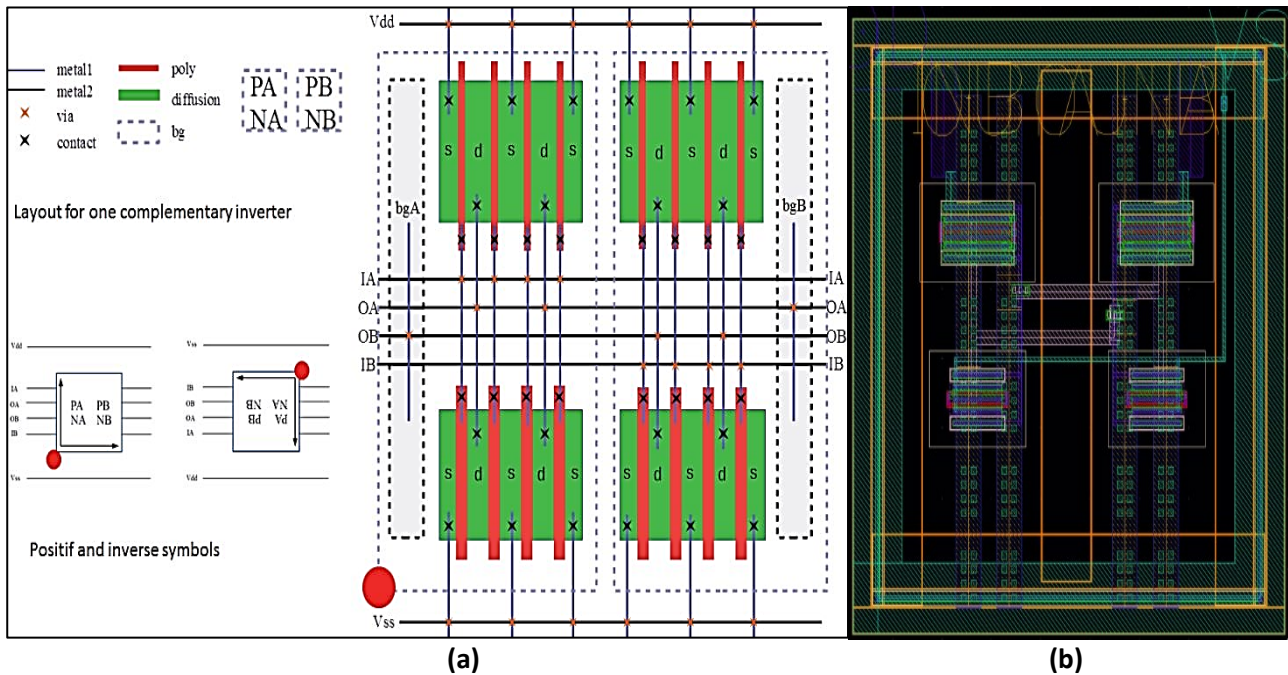


Figure 71. (a) Topologie du layout ; (b) Layout de l'inverseur complémentaire

La Figure 72a illustre l'agencement du layout de l'ILO. Les quatre inverseurs complémentaires y sont organisés de manière symétrique afin de limiter les effets parasites entre étages et de préserver des temps de montée et de descente homogènes. Cette symétrie contribue à améliorer l'intégrité du signal et la stabilité des performances de l'ILO. La Figure 72b présente une vue complète du layout de l'ILO, incluant le circuit de démarrage [Mao 2023].

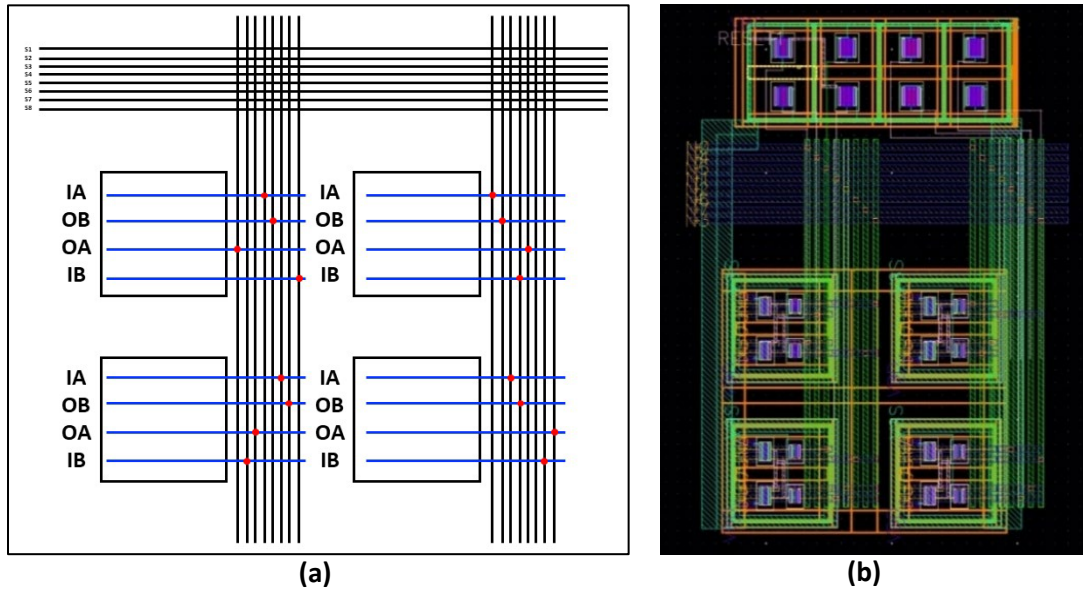


Figure 72. (a) Agencement du layout de l'ILC ; (b) Layout de l'ILC

Pour compenser les effets de résistance et de capacité parasites introduits par le layout, qui ralentissent la fréquence de fonctionnement du circuit, il a été nécessaire d'ajuster V_{DD} de 0.5 V à 0.63 V afin d'assurer un fonctionnement de l'ILC à 868 MHz. Après ajustement, l'ILC présente un temps de verrouillage d'environ 5 ns et la fréquence d'horloge se stabilise autour de 868 MHz.

Les performances en p-p jitter de l'horloge et des données de sortie ont ensuite été évaluées à partir d'un diagramme de l'œil sur 10 000 cycles. Les résultats, présentés sur la Figure 73 [Mao 2023], indiquent un p-p jitter d'environ 26.7 ps pour l'horloge récupérée (2.3 % UI) et de 11.9 ps pour les données récupérées (1 % UI). Sous excitation périodique, l'ILC présente en outre un bruit de phase de -118 dBc/Hz à 1 MHz et une consommation de 318 μ W, soit une efficacité énergétique de 0.37 pJ/bit.

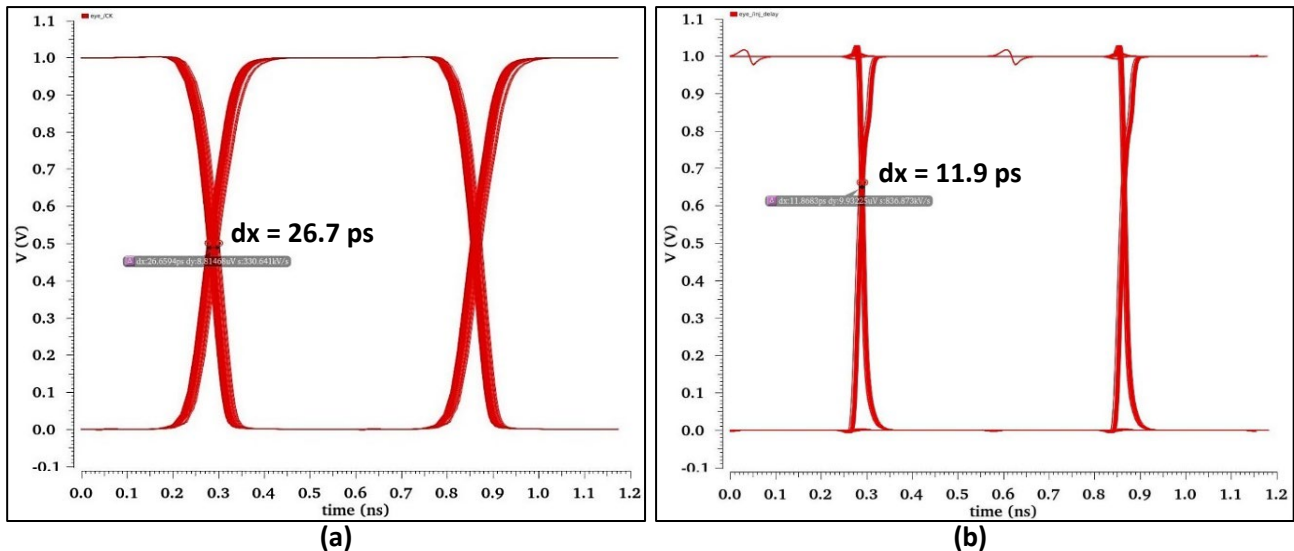


Figure 73. ILC à 868 MHz : (a) p-p jitter de l'horloge récupérée ; (b) p-p jitter des données récupérées

Le Tableau 4 compare les performances de l'ILC à 868 MHz au niveau schématisé et post-layout. Les résultats post-layout montrent une augmentation du p-p jitter et une dégradation du bruit de phase, principalement dues aux parasites d'interconnexion. Par ailleurs, l'augmentation de V_{DD} , nécessaire pour atteindre 868 MHz en simulation post-layout, améliore les marges de fonctionnement, mais au prix d'une consommation plus élevée, illustrant un compromis direct entre robustesse et énergie.

Tableau 4. Comparaison des performances entre la schématique et le post-layout de l'ILCDR à 868 MHz

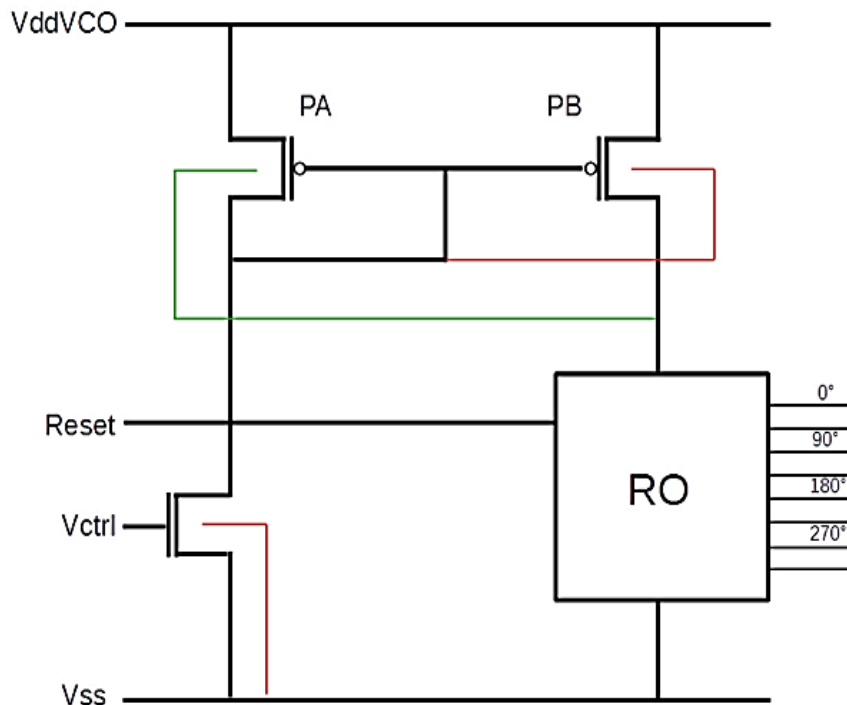
Simulation	V _{DD} (V)	CK p-p jitter	D _{out} p-p jitter	Phase Noise (dBc/Hz@1MHz)	Power consumption (μW)
Schematic	0.5	0.6 % UI	0.2 % UI	-122	235
Post-layout	0.63	2.3 % UI	1 % UI	-118	318

Le Tableau 5 met en évidence des variations significatives de la fréquence d'oscillation de l'ILCDR selon les coins de procédé et de température, par rapport à la cible de 868 MHz associée à une entrée PRBS7 à 868 Mbps. Les simulations post-layout montrent toutefois une réduction partielle de cette sensibilité, liée à l'augmentation de VDD à 0.63 V, qui améliore les marges de fonctionnement des transistors et réduit la sensibilité relative de la fréquence d'oscillation aux conditions extrêmes.

Tableau 5. Fréquence de sortie de l'ILCDR pour différents coins de procédé et températures

Simulation	TT, 27 °C (Typical)	FF, 27 °C	FF, 125 °C (Fastest)	SS, -40 °C (Slowest)	SS, 27 °C
Schematic	868 MHz	1.09 GHz	1.73 GHz	425 MHz	712 MHz
Post-layout	868 MHz	1.03 GHz	1.245 GHz	595 MHz	757 MHz

Afin d'améliorer la stabilité fréquentielle autour de la valeur cible, plusieurs pistes peuvent être envisagées, notamment un redimensionnement du QRO pour fonctionner sous une tension d'alimentation plus élevée, proche de 1 V, ainsi que l'introduction d'un réglage fin de la fréquence libre. Une autre piste consiste à transformation le QRO en VCQRO (Voltage-Controlled Quadrature Ring Oscillator), afin de réduire la dispersion fréquentielle liée aux variations PVT. Un VCQRO simple et performant, fondé sur le principe des grilles arrière croisées, a d'ailleurs été réalisé dans la thèse de Z. Wei (Figure 74) et pourrait être exploité pour améliorer la robustesse fréquentielle de l'ILCDR proposé.

**Figure 74. Structure du VCQRO piloté par miroir de courant auto-calibré avec les grilles arrière**

4.2.8 Comparaison avec d'autres travaux

Une comparaison des performances entre plusieurs circuits CDR publiés jusqu'en 2022 et le circuit proposé est présentée dans le Tableau 6. De manière générale, le p-p jitter de l'horloge récupérée est supérieur à celui des données récupérées. Ainsi, dans la majorité des articles publiés, seul le p-p jitter de l'horloge est reporté (pire cas).

Tableau 6. Résumé des performances des CDRs et comparaison avec l'état de l'art

Parameter	[Jin et al. 2018]	[Choo et al. 2019]	[Wang et al. 2020]	[Lee et al. 2021]	[Vert et al. 2022]	This work 868 MHz / 2.4 GHz
Technology (nm)	65	28	40	28	180	28
Architecture	Half rate	Half rate	Half rate	Half rate	Full rate	Full rate
CDR type	PLL	Injection	PLL	PLL	Injection	Injection
V _{DD} (V)	1.0	0.9	1.2	1.0	1.8	0.6 / 0.7
Data rate (Gbps)	10	10	50	20	3.2	0.868 / 2.4
CK p-p jitter (ps)	8.8	26.8	0.32	N/A	2	26.7 / 10.9
CK p-p jitter (%UI)	8.8	26.8	1.6	N/A	0.64	2.3 / 2.6
Power (mW)	33	12.8	450	21.5	34.6	0.32 / 0.9
Energy (pJ/bit)	3.3	1.28	9	1.08	10.8	0.37 / 0.37
Area (mm ²)	0.48	0.03	N/A	N/A	0.1	0.007*

*Estimated value

Grâce aux spécificités de la technologie UTBB-FDSOI, et en particulier à l'auto-calibration des transistors via les grilles arrière, un QRO fondé sur des inverseurs complémentaires a été conçu puis transformé en ILO à faible jitter à l'aide d'un générateur d'impulsion. Cet ILO constitue le cœur de l'ILCDR proposé. L'architecture obtenue se distingue par sa simplicité, ce qui se traduit par une faible consommation et une très faible empreinte silicium. La consommation du circuit atteint 318 μ W, pour une efficacité énergétique de 0.37 pJ/bit, tandis que la surface estimée est d'environ 0.007 mm².

En termes de jitter, l'ILCDR présente, en post-layout à 868 MHz, un p-p jitter de 26.7 ps (2.3 % UI) pour l'horloge récupérée et de 11.9 ps (1 % UI) pour les données. Pour comparer plus directement avec les travaux du Tableau 6, des simulations post-layout ont également été réalisées à 2.4 GHz, avec une tension d'alimentation portée à 0.7 V. Dans ces conditions, le p-p jitter atteint 10.9 ps (2.6 % UI) pour l'horloge et 5.8 ps (1.4 % UI) pour les données, tout en conservant la même efficacité énergétique.

Le Tableau 6 montre ainsi que l'ILCDR proposé offre un bon compromis entre jitter, consommation, efficacité énergétique et compacité, ce qui le rend bien adapté aux applications IoT en mode rafale.

4.2.9 Conclusion et perspectives sur les travaux liés à l'ILCDR

Les travaux menés sur l'ILCDR montrent qu'il est **possible de concevoir une architecture de CDR simple et frugale, adaptée aux communications IoT en mode rafale**. En s'appuyant sur le verrouillage par injection et sur les possibilités offertes par l'UTBB-FDSOI, cette démarche a permis de développer plusieurs briques RF compactes, dans lesquelles la grille arrière est exploitée comme levier de conception pour ajuster le fonctionnement des cellules et renforcer leur robustesse. Elle a conduit à la validation de briques réutilisables, depuis l'inverseur complémentaire auto-calibré jusqu'au QRO, puis à leur intégration dans une architecture complète d'ILCDR conciliant faible consommation, compacité et temps de capture court.

Les résultats obtenus mettent toutefois en évidence une sensibilité résiduelle aux variations PVT. Des pistes d'amélioration réalistes, telles que le redimensionnement du QRO ou l'introduction d'un VCQRO exploitant les grilles arrière, ont ainsi été proposées afin de renforcer la robustesse fréquentielle tout en préservant le caractère basse consommation de l'architecture.

Enfin, dans la thèse de Y. Mao [Mao 2023], une variante dite « ILCDR rapide » a été étudiée. Cette architecture repose sur un QRO rapide (Figure 75), obtenu en remplaçant un inverseur complémentaire sur deux par un inverseur rapide (Figure 40b).

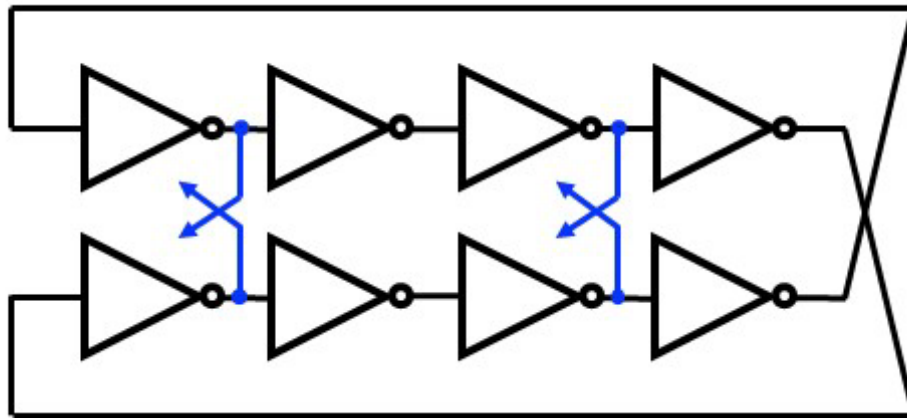


Figure 75. QRO rapide

Cette variante permet d'augmenter la vitesse de fonctionnement du QRO à tension d'alimentation équivalente, tout en conservant le principe du verrouillage par injection. Il est ainsi possible de réduire la consommation de 5 % à 868 MHz et de 11 % à 2.4 GHz, au prix d'une dégradation du bruit de phase d'environ 2 dB dans les deux cas, ce qui montre la flexibilité du compromis offert entre les deux variantes du circuit ILCDR.

Ces travaux constituent une contribution forte de ce mémoire en montrant que l'exploitation de la grille arrière en UTBB-FDSOI peut servir non seulement à optimiser des cellules élémentaires, mais aussi à concevoir des architectures RF sobres, compactes et adaptées à des usages contraints. À court terme, les perspectives portent sur la **consolidation de la méthodologie de dimensionnement** et sur la poursuite de la validation des briques RF associées, en particulier dans une logique post-layout et sous variations PVT et mismatch. À plus long terme, l'enjeu est de **capitaliser sur ces résultats pour constituer un ensemble cohérent de fonctions de communication basse consommation pour l'IoT, fondé sur des briques robustes, compactes et réutilisables.**

En parallèle de ces travaux sur l'ILCDR, j'ai **poursuivi l'exploitation des principes d'auto-calibration en technologie UTBB-FDSOI en les appliquant au domaine des réseaux de neurones artificiels analogiques (RNAA).** Cette démarche s'inscrit dans la continuité de la thèse de H. Jouni [Jouni 2018], consacrée à la conception de cellules analogiques CMOS pour réseaux de neurones en technologie 130 nm. **Ces travaux ont constitué un point de départ méthodologique important** pour la conception de briques matérielles dédiées, en s'appuyant sur un cas d'étude représentatif de classification binaire et sur **une méthodologie d'évaluation conjointe, à la fois algorithmique et circuit.**

Dans ce contexte, **mon premier objectif a été d'adapter la démarche de H. Jouni vers une implémentation plus compacte et plus économe en énergie en technologie UTBB-FDSOI 28 nm**, en capitalisant notamment sur l'auto-calibration par grille arrière. Cette transition a conduit à **une première contribution dans une conférence internationale** [Charlon et al. 2024], où nous proposons **une nouvelle implémentation du RNAA** pour la classification des cellules cancéreuses du sein: **les poids ne sont plus stockés sous forme analogique, mais codés numériquement dans des registres, et les multiplieurs sont remplacés par des miroirs de courant commutés réalisant une multiplication implicite entre courant et poids**. Cette stratégie vise à **réduire simultanément la surface silicium et la consommation**.

Sur la base de ces résultats, **un second travail, associé à l'encadrement du stage puis de la thèse en cours de Z. Ma, a approfondi et consolidé cette direction**. L'article [Ma et al. 2025] présente **une version améliorée du multiplieur** (miroirs commutés optimisés) ainsi que la réalisation de la couche d'entrée elle-même en mode courant, toujours sans recours à des convertisseurs.

Enfin, si le travail sur la base de données du Wisconsin constitue un banc d'essai pertinent pour valider l'architecture RNAA et les cellules analogiques associées, **l'ambition de nos travaux est désormais d'étendre cette approche vers une application à fort impact pour l'IA dite « en périphérie » (edge AI)**, c'est-à-dire l'exécution locale du calcul d'inférence au plus près de la source de données, sur des nœuds fortement contraints en énergie et en ressources. Dans cette perspective, **la thèse de Z. Ma vise à transposer l'architecture RNAA à une application NIALM** (Non-Intrusive Appliance Load Monitoring - désagrégation non intrusive de la consommation par appareil), en exploitant des signatures électriques pour l'identification des appareils et l'estimation de leur consommation. **Par ailleurs, j'ai encadré Melek Said, élève ingénieure en spécialité Electronique à Polytech Nice Sophia, qui a notamment participé à la conception d'une cellule de Gilbert pour notre RNAA en UTBB-FDSOI**.

4.3 Conception d'un réseau de neurones artificiels analogique utilisant la technologie UTBB-FDSOI 28 nm

4.3.1 Contexte : réseaux de neurones et intérêt des implémentations analogiques

Le fonctionnement d'un réseau de neurones artificiels (RNA) repose sur deux phases. La première est l'apprentissage, durant laquelle les paramètres du réseau (poids et biais) sont optimisés. La seconde est l'inférence, durant laquelle le réseau exploite ces paramètres appris pour produire une prédiction à partir de nouvelles entrées. En pratique, notamment en environnement embarqué, l'apprentissage est le plus souvent réalisé hors ligne (sur machine), tandis que l'inférence est effectuée sur la cible. Néanmoins, la possibilité d'un apprentissage sur puce constitue un axe de recherche pour compenser les variations environnementales et les dispersions technologiques [Ahn et al. 2021; Choi et al. 2020].

Dans nos travaux, les variations des cellules analogiques au sein du RNA sont prises en compte de manière explicite : elles sont évaluées au niveau circuit, à travers les dispersions PVT et le mismatch, puis intégrées au modèle afin d'en estimer l'impact sur les performances globales. À court terme, l'apprentissage restera principalement hors ligne, tandis que l'apprentissage sur puce constituera une perspective à plus long terme, qui sera abordée au cours de l'avancement de la thèse de Z. Ma.

Les RNA occupent aujourd'hui une place centrale dans de nombreuses applications de traitement de données issues de capteurs, pour des tâches de classification, de régression ou de détection [Choi et al. 2020]. En embarqué, leur usage s'inscrit de plus en plus dans une approche dite « edge », où l'inférence est réalisée localement sur le nœud de traitement. Cette approche permet de réduire la latence, de limiter les transmissions de données et de répondre aux contraintes fortes d'énergie, de surface et de ressources propres aux systèmes IoT, aux capteurs autonomes et à l'instrumentation distribuée [Velichko et al. 2023; Singh et Gill 2023].

Au niveau algorithmique, une grande part des RNA traitant des données structurées peut être décrite autour de trois opérations fondamentales :

- une sommation pondérée du type $u = \sum_i w_i x_i$;
- l'application d'une fonction d'activation non linéaire ;
- dans le cadre de l'apprentissage par rétropropagation (BP, Back-Propagation), l'utilisation de la dérivée pour calculer les gradients et ajuster les poids.

Cette structuration « somme pondérée, fonction non linéaire, gradients » se prête bien à une transposition matérielle. Dans les implémentations numériques, ces opérations sont généralement réalisées sur microcontrôleurs, FPGA ou accélérateurs dédiés, qui constituent des solutions matures et performantes grâce à leur flexibilité et à leurs écosystèmes logiciels optimisés [Ahn et al. 2021]. Toutefois, lorsque l'on vise des nœuds à très faible consommation, les limites proviennent souvent autant des transferts mémoire et des échanges de données que du coût arithmétique des opérations, ce qui conduit à explorer des solutions analogiques.

Dans ce contexte, **les RNAA ou mixtes constituent une alternative attractive, car certaines opérations s'y réalisent de manière intrinsèque dans le domaine physique** : la sommation en mode courant suit naturellement la loi de Kirchhoff, et des cellules de non-linéarité compactes peuvent être obtenues par le comportement exponentiel des transistors en faible inversion [Ahn et al. 2021; Dix et al. 2023].

Ces architectures offrent aussi un certain degré de parallélisme : les contributions pondérées des synapses d'un neurone peuvent être générées simultanément, puis sommées directement au nœud par addition de courants [Mohamed et al. 2021].

Cette approche permet d'envisager une réduction de l'énergie par opération et une plus grande compacité, à condition de maîtriser les principaux verrous associés : variations PVT, mismatch, bruit, et impact des non-idéalités sur les performances du RNAA. **Dans cette perspective, la technologie UTBB-FDSOI est particulièrement bien adaptée aux architectures analogiques à très faible puissance,** en raison de la réduction des courants de fuite et de la possibilité de contrôler finement les points de polarisation via la grille arrière [Galy et al. 2013; Quan et al. 2023].

4.3.2 Thèse de référence pour la mise en place d'un RNAA pour la classification binaire

Les travaux de H. Jouni constituent le point de départ méthodologique de cette étude. Ils portent sur un RNA implémenté à l'aide de cellules analogiques CMOS en technologie 130 nm, et évalué selon une approche conjointe associant simulations circuit, modélisation comportementale et validation algorithmique. L'intérêt principal de ces travaux est d'avoir fourni un cadre cohérent pour analyser l'impact des non-idéalités analogiques sur les performances de classification.

Le cas d'étude retenu est la classification binaire de cellules cancéreuses du sein (bénignes/malignes), basée sur la base de données Wisconsin [William Wolberg 1993]. Cette base contient 699 échantillons (biopsies), répartis en 458 cas bénins (65.5 %) et 241 cas malins (34.5 %). Chaque biopsie est décrite par 9 attributs, chacun prenant une valeur comprise entre 1 et 10, comme indiqué dans le Tableau 7.

Tableau 7. Attributs de la base de données du Wisconsin sur le cancer du sein

Id	Attribut	Domaine
1	Épaisseur des amas cellulaires	1: Couche unique – 10: Multicouches
2	Uniformité de la taille des cellules	1: Très uniforme – 10: Taille variable
3	Uniformité de la forme des cellules	1: Très uniforme – 10: Peu uniforme
4	Adhérence marginale	1: Adhérence forte – 10: Absence d'uniformité
5	Taille des cellules épithéliales isolées	1: Taille uniforme – 10: Taille augmentée
6	Noyaux nus	1: Présence – 10: Absence
7	Chromatine banale	1: Texture uniforme – 10: Texture grossière
8	Nucléoles normaux	1: Petits – 10: Nombreux et plus volumineux
9	Mitoses	1: Absence – 10: Présence

Une phase d'étude sous Matlab (Neural Network Toolbox) conduit au **choix d'un modèle perceptron multicouche (MLP - Multi-Layer Perceptron)** [Da Silva et al. 2017] comportant 9 entrées, 10 neurones cachés et 2 neurones de sortie (Figure 76), entraîné par rétropropagation (BP), avec fonction d'activation log-sigmoïde et sans terme de biais. Le bloc W regroupe les synapses (matrice de poids). Chaque neurone réalise ensuite la sommation au nœud « + » suivie de la fonction d'activation.

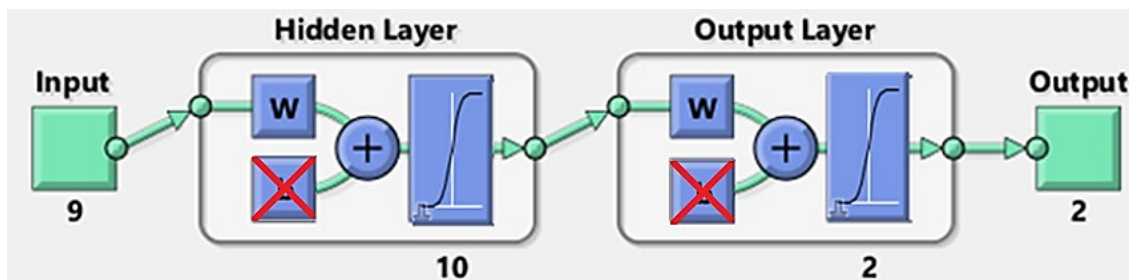


Figure 76. Modèle MLP (9-10-2) sans biais et avec une fonction d'activation log-sigmoïde

Les équations (17) et (18) s'appliquent à la fois à la couche cachée et à la couche de sortie :

$$a_j = g_j \left(\sum_{i=1}^9 w_{ij} * x_i \right) \quad j = 1, 2 \dots 10 \quad (17)$$

$$s_k = g_k \left(\sum_{j=1}^{10} w_{jk} * a_j \right) \quad k = 1, 2 \quad (18)$$

où x_i sont les entrées (les 9 attributs du cancer listés dans le Tableau 7), w_{ij} et w_{jk} représentent les poids des couches cachée et de sortie (90 et 20 poids respectivement), a_j sont les 10 sorties de la couche cachée, s_k sont les 2 sorties du réseau de neurones, et $g_j = g_k$ correspond à la fonction d'activation log-sigmoïde appliquée dans les deux couches.

La Figure 77 présente un résultat important : la matrice de confusion du RNAA obtenue par simulation sous Matlab. **Une erreur totale de 2.6 % est obtenue lorsque les blocs de base sont supposés idéaux** (multiplieurs, fonction log-sigmoïde et sa dérivée). **Ce résultat confirme que l'architecture MLP-BP est pertinente pour cette tâche de classification binaire.**

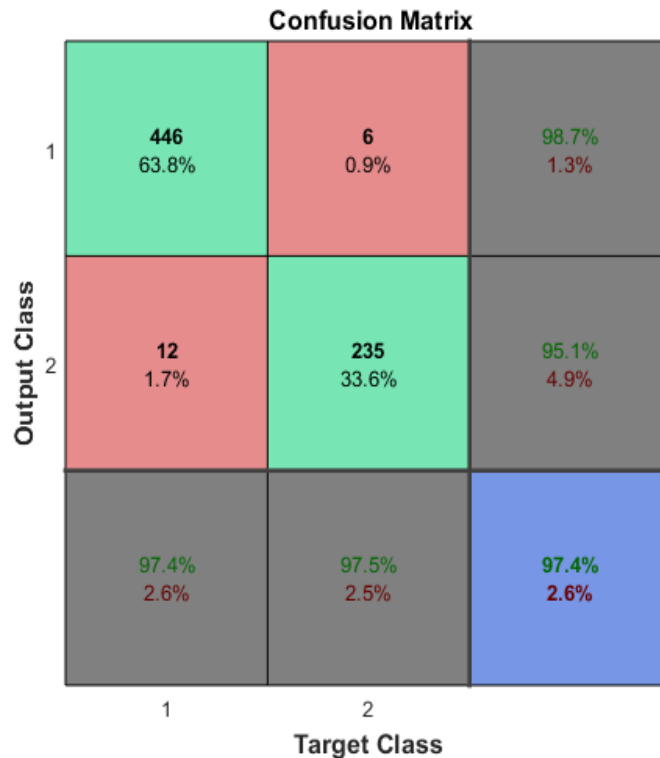


Figure 77. Matrice de confusion avec des blocs de base idéaux

À partir de cette modélisation, le cahier des charges des blocs fonctionnels a été établi, conduisant à une première architecture complète de RNAA implémentable en technologie CMOS 130 nm. Pour rapprocher l'évaluation système du comportement réel des cellules analogiques, nous reprenons la **démarche de co-validation** introduite par [Jouni 2018] : les **blocs idéaux** du flot Matlab/Simulink sont **progressivement remplacés par des modèles comportementaux dérivés de simulations circuit**.

Nous présentons d'abord les cellules analogiques développées par H. Jouni en 130 nm (multiplieur, fonction d'activation log-sigmoïde et dérivée). Elles serviront de référence avant leur remplacement progressif par les cellules développées en UTBB-FDSOI 28 nm, à mesure que leur comportement est validé sous Cadence.

La multiplication synaptique est réalisée par un multiplieur analogique quatre quadrants (Figure 78) basé sur une structure à paire différentielle, permettant de générer un signal de sortie proportionnel au produit entre l'entrée et une grandeur de pondération analogique. Le fonctionnement de cette cellule et sa caractérisation sous Cadence sont présentés en détail dans [Jouni 2018].

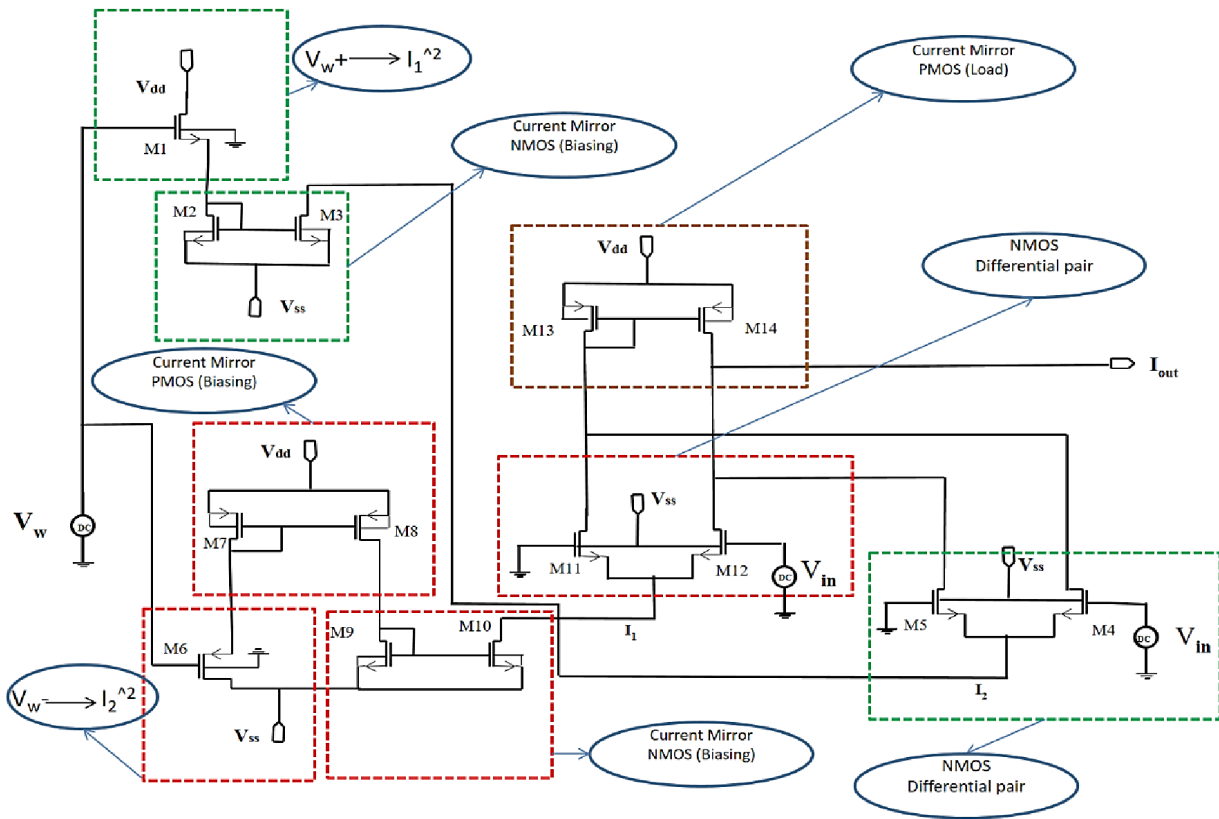


Figure 78. Multiplieur analogique quatre quadrants

La cellule analogique non linéaire d'activation est une fonction log-sigmoïde réalisée par une paire différentielle polarisée en faible inversion, associée à un convertisseur courant-tension (Figure 79a), et caractérisée sous Cadence par sa fonction de transfert (Figure 79b).

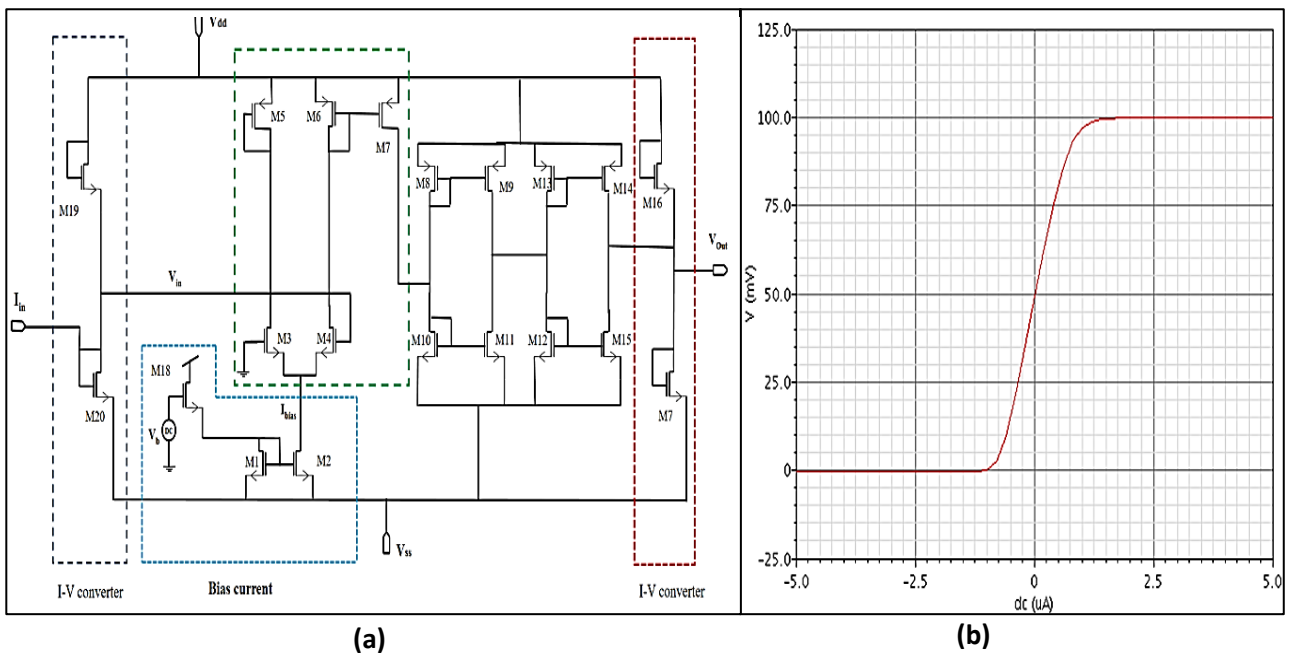


Figure 79. (a) Cellule analogique log-sigmoïde ; (b) fonction de transfert de la cellule log-sigmoïde

La dérivée correspondante, nécessaire au calcul du gradient lors de la rétropropagation, repose sur une structure de Gilbert (Figure 80a), également caractérisée sous Cadence (Figure 80b).

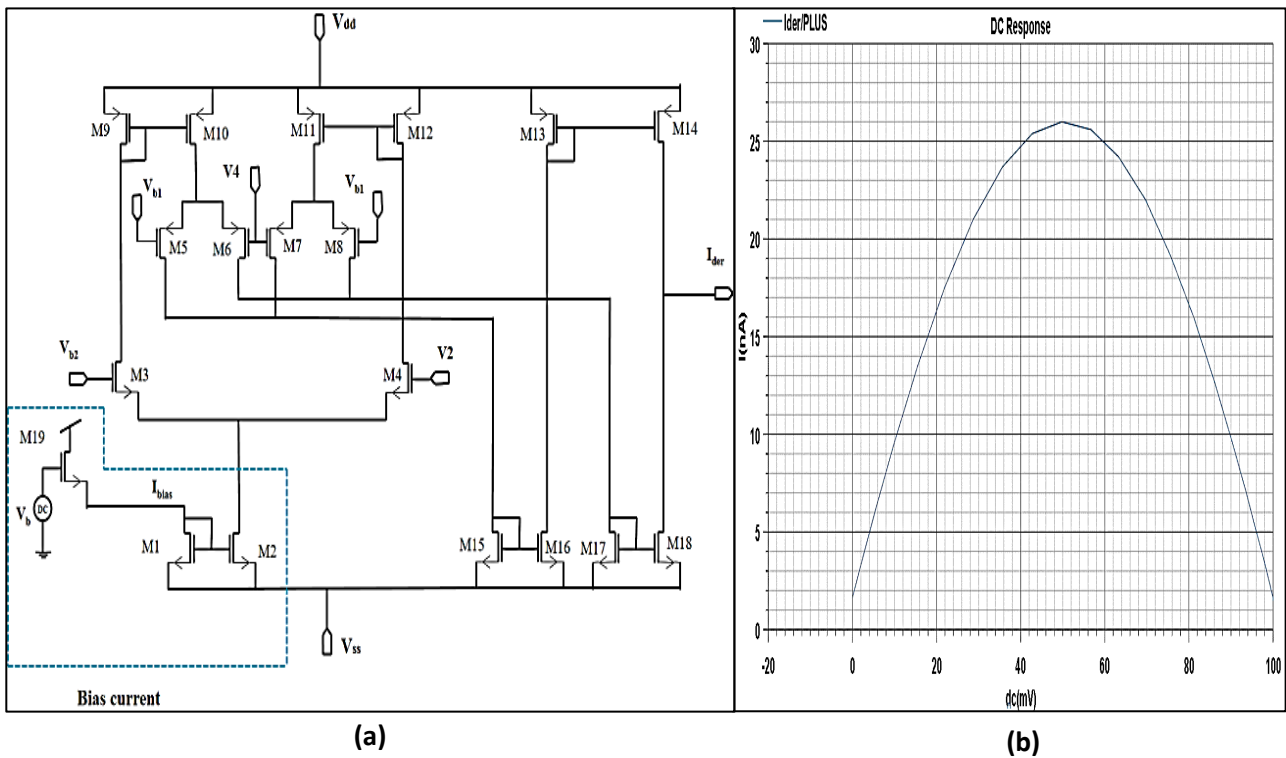


Figure 80. (a) Cellule de dérivée log-sigmoïde ; (b) Fonction de transfert de la dérivée de la log-sigmoïde

Au-delà de la conception des cellules, [Jouni et al. 2019] propose une démarche de spécification visant à quantifier l'impact global des non-idéalités des blocs analogiques sur la précision de classification. Pour cela, des modèles non idéaux simplifiés sont introduits dans Simulink, en représentant les imperfections des briques de base par une erreur relative aléatoire ($\pm x\%$). Cette approche permet d'évaluer leur effet sur la matrice de confusion et d'en déduire des seuils d'erreur admissibles pour chaque brique, servant de base de spécification pour l'implémentation CMOS.

Les résultats montrent que la fonction log-sigmoïde est le bloc le plus critique. Pour que l'erreur de classification du RNAA reste proche du cas idéal ($\approx 2.6\%$), l'erreur relative de ce bloc doit rester $\leq \pm 10\%$, tandis qu'une erreur de $\pm 20\%$ dégrade déjà la classification. À l'inverse, le multiplieur est plus tolérant : une erreur relative d'environ $\pm 20\%$ a peu d'effet sur les performances globales, et des écarts jusqu'à $\pm 50\%$ restent acceptables si l'activation reste précise. La dérivée de la log-sigmoïde hérite quant à elle des contraintes combinées de l'activation et de la multiplication. Ainsi, pour la chaîne « activation et dérivée », l'erreur relative admissible se situe autour de $\pm 10\%$, au-delà desquels l'erreur de classification augmente nettement.

En nous appuyant sur cette démarche, nos blocs conçus en UTBB-FDSOI 28 nm seront dimensionnés pour rester sous ces limites afin de ne pas pénaliser l'apprentissage : nous visons une erreur relative $\leq \pm 10\%$ sur la log-sigmoïde (bloc dominant), $\leq \pm 20\%$ sur le multiplieur, et une précision globale $\leq \pm 10\%$ sur la chaîne d'activation et de dérivation.

Dans ces conditions, [Jouni et al. 2019] montre qu'une simulation système intégrant ces non-idéalités conduit à une erreur totale de 3.4% , cohérente avec la référence idéale et compatible avec une implémentation circuit. Ce résultat s'explique simplement : les erreurs restent dans les plages de tolérance identifiées et ne provoquent que rarement un franchissement de la frontière de décision.

Néanmoins, dans cette architecture RNAA, deux limitations majeures apparaissent :

- le stockage des poids sous forme de tensions sur condensateurs commutés est sensible aux fuites, aux variations technologiques et au vieillissement,
- l'usage de multiplieurs analogiques à quatre quadrants, dont le coût en surface et en énergie devient pénalisant à l'échelle du réseau.

Nous avons donc proposé une nouvelle architecture exploitant la technologie UTBB-FDSOI 28 nm, avec l'objectif d'une intégration plus compacte et plus sobre en énergie. La section suivante présente l'architecture proposée, les principaux résultats et conclusions issus des deux publications internationales sur ce sujet [Charlon et al. 2024; Ma et al. 2025].

4.3.3 Nouvelle architecture : poids numériques et multiplication par miroirs commutés

Dans cette contribution, nous conservons la topologie du modèle MLP présenté sur la Figure 76, entraîné par rétropropagation, pour la même application : classification binaire de cellules cancéreuses du sein.

Dans l'architecture de H. Jouni, les poids étaient stockés sous forme analogique, via une tension mémorisée sur condensateur, et la multiplication était réalisée par un multiplieur analogique quatre quadrants (Figure 78). Cette approche impliquait donc, pour chaque synapse, l'association d'un condensateur et d'une fonction de multiplication spécifique, ainsi qu'un convertisseur numérique-analogique (DAC, Digital-to-Analog Converter) pour convertir les valeurs de poids numériques en tensions analogiques, ce qui pénalisait la surface et la consommation du RNAA.

Pour lever cette limite, **la nouvelle architecture conserve les poids** sous forme numérique depuis la base de données **jusqu'au circuit, en les codant directement dans des registres**. La **multiplication** n'est alors plus réalisée par un multiplieur analogique quatre quadrants, mais implicitement **en mode courant** à l'aide de miroirs de courant commutés (Figure 81). Le mot binaire pilote les branches du LSB au MSB, et la valeur du poids est traduite en un courant unique I_{OUT} par sommation des contributions commutées. Les courants issus des différentes synapses se somment ensuite naturellement au niveau du neurone selon la loi de Kirchhoff. Cette organisation simplifie fortement la synapse, en supprimant le stockage analogique des poids et le DAC associé, et permet une implémentation plus compacte.

De plus, **le mécanisme d'ajustement dynamique via les grilles arrière croisées**, présenté en section 4.2.4.1, est ici **appliqué aux miroirs afin de stabiliser le point de fonctionnement de ces transistors NMOS à canal court** ($L = 30$ nm). Concrètement, les grilles arrière des transistors de sortie (branches LSB à MSB) sont reliées au drain du transistor d'entrée, tandis que la grille arrière du transistor d'entrée est reliée aux drains des branches actives. Chaque miroir commuté forme ainsi une configuration à grilles arrière croisées, analogue à celle de la Figure 48c. Cette auto-polarisation vise à réduire la dépendance de I_{OUT} à V_{OUT} en saturation, tout en conservant une structure compacte.

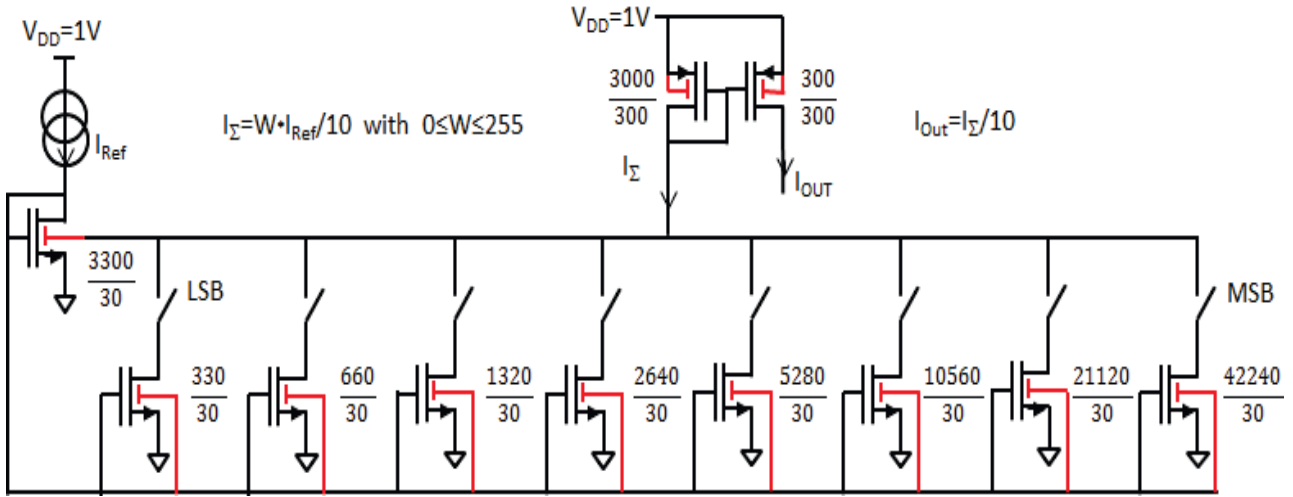


Figure 81. Version 1 du réseau de miroirs de courant commutés par registre de poids (multiplieur)

Le poids W de chaque neurone est codé sur 8 bits et commande les transistors de commutation (LSB au MSB). Les branches activées réalisent une sommation de courants proportionnelle au mot binaire, de sorte que le courant total en sortie du réseau de miroirs commutés vaut :

$$I_{\Sigma} = \frac{W \cdot I_{REF}}{10}, \quad 0 \leq W \leq 255 \quad (19)$$

où le facteur $1/10$ est imposé par le rapport de dimensions entre le transistor de référence et les transistors pondérés et permet de réduire la consommation. Le courant I_{REF} est fixé par la valeur de l'attribut en entrée, comprise entre 1 et 10 (cf. Tableau 7) ; il varie ici de 10 nA à 100 nA par pas de 10 nA. À noter que la génération du courant d'entrée I_{REF} peut aussi être réalisée de manière compacte par une structure à miroirs commutés, cohérente avec l'approche tout courant.

Un miroir de sortie introduit ensuite un second facteur d'échelle (équation (20)) permettant lui aussi de réduire la consommation :

$$I_{OUT} = \frac{W \cdot I_{REF}}{100} \quad (20)$$

Ainsi, I_{OUT} varie entre 0 et 25.5 nA pour $I_{REF} = 10$ nA, et jusqu'à 255 nA pour $I_{REF} = 100$ nA.

Comme discuté en section 4.2.4.2, un miroir de courant à canal court avec contrôle par grille arrière reste sensible à L . Cette sensibilité dépend de l'équilibre entre l'efficacité de modulation de V_{TH} via la grille arrière (g_{mb} du transistor diode-connecté) et la sensibilité de I_{OUT} à V_{OUT} (g_{ds}) liée à la CLM et accentuée par le DIBL. Le courant peut alors passer d'une compensation insuffisante à une surcompensation (pente négative).

Dans cette campagne de simulations, cet équilibre dépend du point de polarisation et du coin de procédé : la variation de I_{REF} (10 à 100 nA) et l'évaluation en coins SS/FF modifient les rapports relatifs entre g_{mb} et g_{ds} , conduisant à une dispersion du poids effectif même à géométrie inchangée (L est fixé à 30 nm). Ainsi, les premières simulations en coins de procédé (TT/SS/FF avec V_{DD} et T nominales) obtenues avec la version 1 du multiplieur montraient, dans le cas le plus défavorable (I_{REF} minimal, poids maximal et coin FF), une variation d'environ 50 % par rapport à la valeur nominale.

Pour améliorer encore la stabilité du courant de sortie sous variations de procédé, une structure double cascode PMOS a été utilisée (Figure 82), en remplacement du miroir de sortie (Figure 81), pour augmenter l'impédance de sortie. Par ailleurs, les transistors des branches commutées ont été redimensionnés de manière à obtenir une progression du LSB vers le MSB la plus proche possible du comportement multiplicatif attendu.

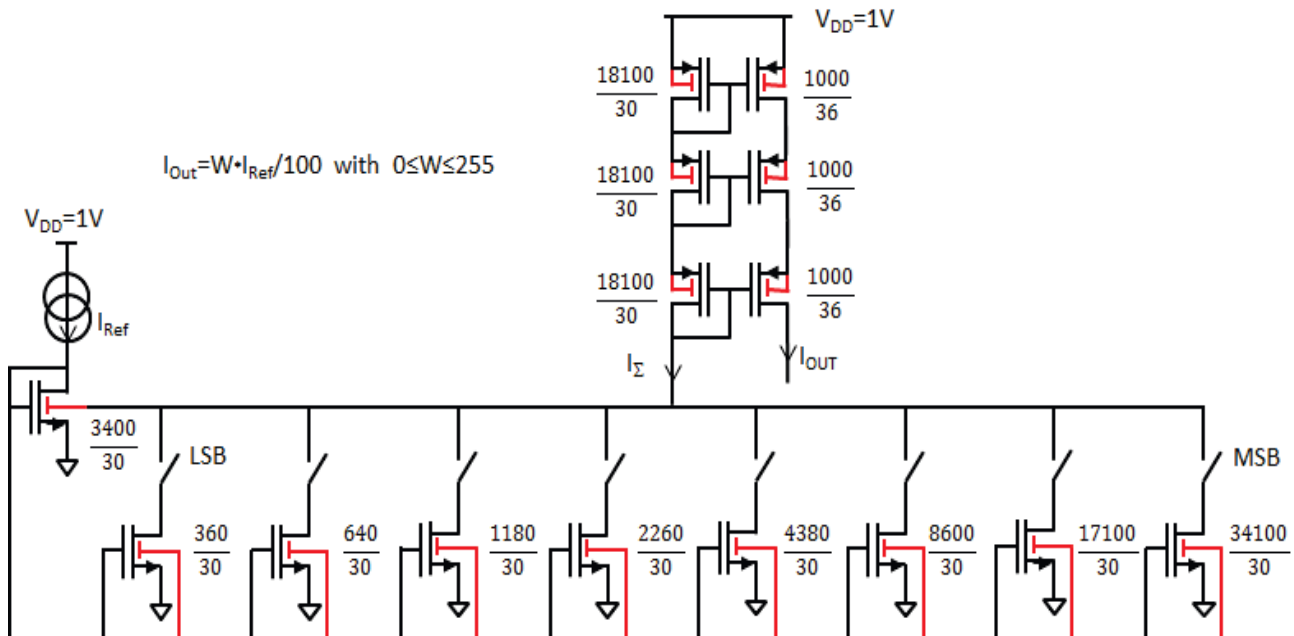


Figure 82. Version 2 du réseau de miroirs de courant commutés par registre de poids (multiplieur)

Cette version 2 repose sur un choix volontairement mixte :

- conserver les NMOS à grilles arrière croisées des miroirs commutés, pour stabiliser localement le point de fonctionnement de ces transistors courts à coût silicium quasi nul ;
- introduire un double cascode PMOS en sortie, là où la résistance de sortie est la plus critique, afin de stabiliser I_{OUT} sous variations de procédé et de I_{REF} .

La Figure 83 montre les résultats de simulations DC de la version 2 du multiplieur. Lorsque le transistor de sortie fonctionne en régime de saturation, le courant reste quasi constant. Les SCE et le DIBL sont alors fortement atténués grâce aux grilles arrière croisées des NMOS et à la structure double cascode PMOS. Le courant reste quasi constant pour l'ensemble des valeurs de poids, avec une plage dynamique de sortie élargie et une bonne linéarité de la fonction de multiplication.

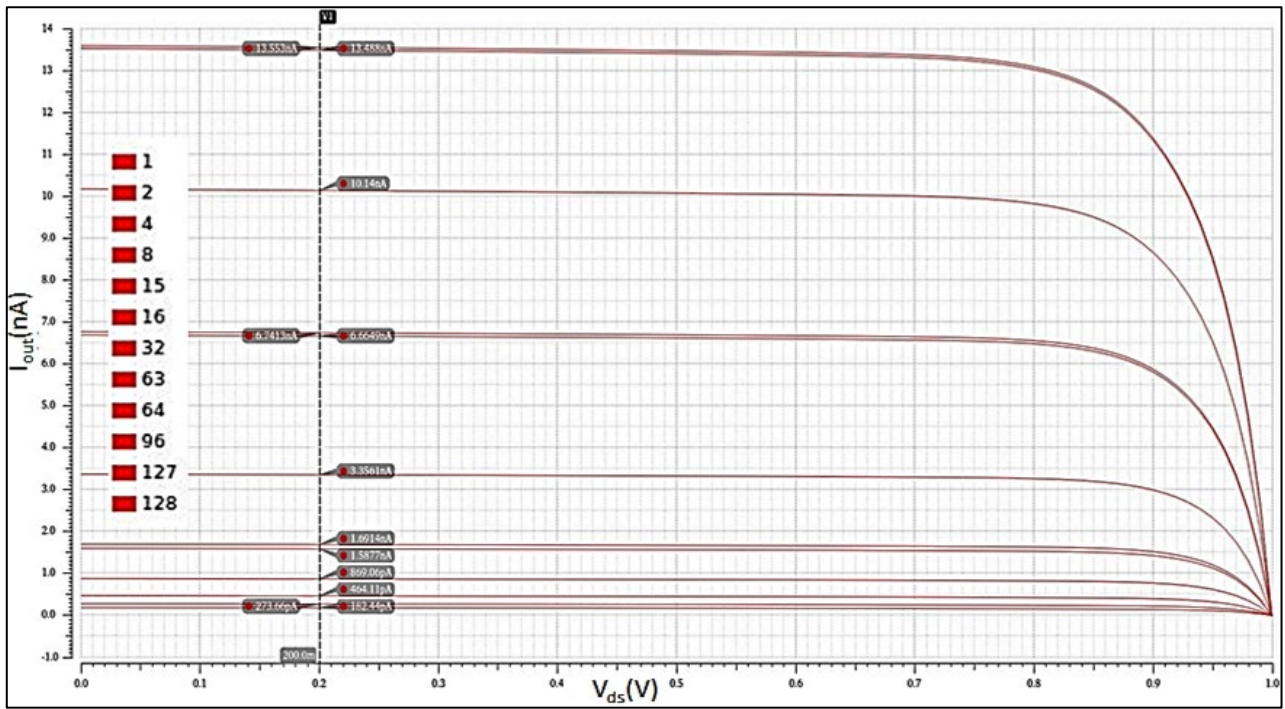


Figure 83. Résultats de simulations DC de la version 2 du multiplieur pour plusieurs poids W

La Figure 84 présente la fonction de transfert du miroir de courant commuté pour $I_{REF} = 10\text{ nA}$, correspondant au cas le plus défavorable. Comparée au multiplieur idéal, l'erreur maximale relative est de 5 % en TT, 5 % en SS, et peut atteindre 34 % en FF. Cet écart, lié aux variations de procédé et à la dépendance à I_{REF} (10 nA à 100 nA), correspond à une déviation globale de la fonction de transfert, qui peut être partiellement absorbée par un entraînement « hardware-aware ». En référence à [Jouni et al. 2019], l'erreur du multiplieur doit rester inférieure à $\pm 20\%$ pour préserver une bonne précision d'apprentissage du RNAA, tout en pouvant tolérer des écarts plus élevés si la fonction d'activation est suffisamment précise. Néanmoins, afin de conserver une marge de robustesse des variations de procédé et des conditions de fonctionnement, nous chercherons à réduire l'erreur en coin à moins de $\pm 20\%$.

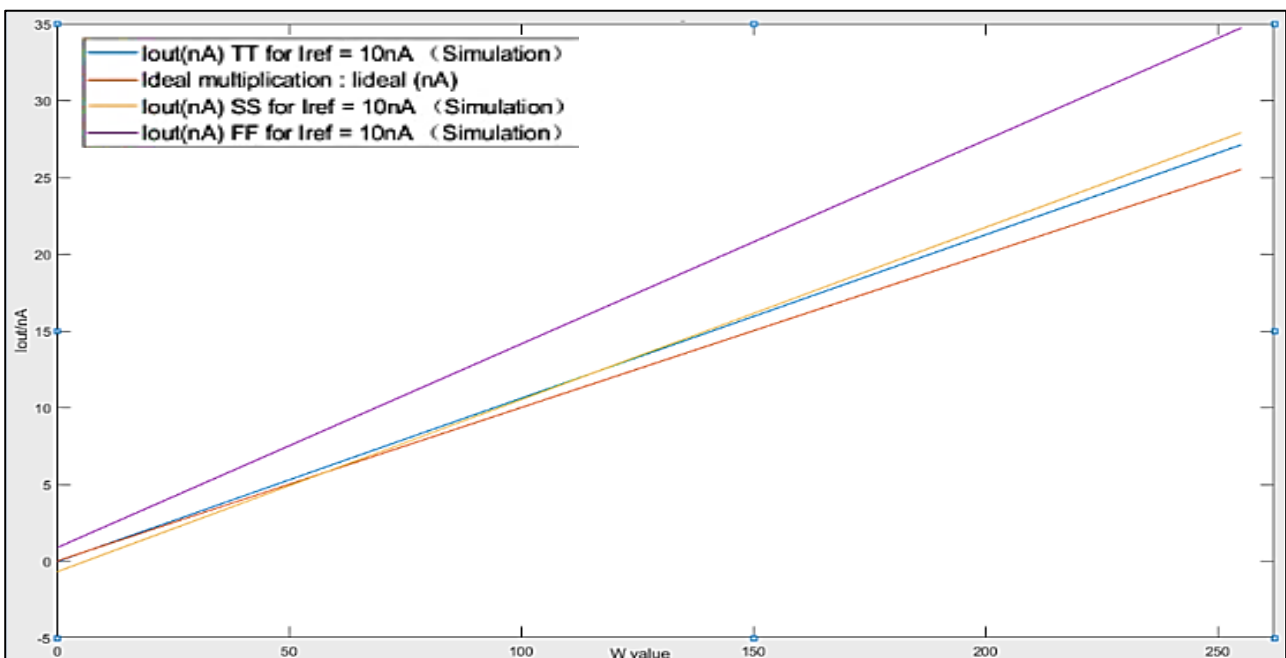


Figure 84. Fonction de transfert du miroir de courant commuté pour $I_{REF} = 10\text{ nA}$ (pire cas)

Pour une valeur moyenne de poids et de courant (par exemple $W = 128$ et $I_{REF} = 50$ nA), la consommation de ce multiplieur n'est que d'environ 750 nW (avec un courant total $I_{REF} + I_{\Sigma} + I_{OUT} \approx 754$ nA sous $V_{DD} = 1V$). La consommation maximale atteint 2.6 μW pour $W = 255$ et $I_{REF} = 100$ nA.

Dans cette contribution, nous avons conçu et optimisé un nouveau multiplieur en technologie UTBB-FDSOI. Ce bloc de base est utilisé dans les couches d'entrée, cachées et de sortie de notre modèle MLP-BP. **L'objectif est de réduire à la fois la surface silicium et la consommation énergétique** par rapport aux architectures analogiques conventionnelles fondées sur des cellules de multiplication à quatre quadrants [Naderi et al. 2009; Alikhani and Ahmadi 2012; Santos et al. 2021]. **La topologie proposée simplifie aussi le stockage des poids de chaque neurone grâce à l'utilisation d'un simple registre numérique, ce qui supprime la nécessité d'utiliser des condensateurs de stockage et un DAC par synapse.**

Ces travaux constituent une première validation de la stratégie « poids numériques et sommation pondérée analogique en courant », cohérente avec les contraintes « edge » et avec l'objectif d'intégration en UTBB-FDSOI. Ils posent aussi la question de la robustesse face aux variations PVT et au mismatch, car un réseau de miroirs commutés à grilles arrière croisées peut être sensible aux dispersions lorsque l'on vise une quantification fine et une reproductibilité stricte de la pondération.

Ce point est structurant pour la suite : l'objectif n'est pas d'affirmer une invariance absolue, mais de construire une chaîne dont les variations sont quantifiées, modélisables et compatibles avec des mécanismes de réglage ou de calibration réalistes.

4.3.4 Discussion sur les grilles arrière croisées : efficacité selon les structures

L'exploitation de la grille arrière en UTBB-FDSOI peut prendre plusieurs formes, allant d'une polarisation statique (tension fixe) à des stratégies plus avancées de type grilles arrière croisées. Dans certains blocs, ce degré de liberté supplémentaire s'avère efficace.

Dans nos travaux sur des cellules RF basées sur des **inverseurs complémentaires** en UTBB-FDSOI (Figure 41), l'exploitation des **grilles arrière croisées améliore la symétrie des commutations** et les marges de fonctionnement. La rétroaction stabilise le point de croisement des sorties autour de $V_{DD}/2$, ce qui est **favorable à la réduction du jitter**. Les résultats de Monte-Carlo mismatch (Figure 44) montrent en outre une dispersion réduite de ce point de croisement, permettant d'obtenir un QRO à dispersion fréquentielle limitée, sans recourir à une boucle de calibration dédiée (Figure 47).

Ce QRO a ensuite été valorisé au niveau système dans l'ILCDR (Figure 65). Le Tableau 5 met en évidence des écarts de fréquence en fonction des coins de procédé et de température, révélant une sensibilité marquée de la fréquence d'oscillation à ces paramètres. Par ailleurs, dans cette architecture, la fréquence d'oscillation reste directement dépendante de V_{DD} . Une augmentation de la tension d'alimentation peut donc améliorer les marges de fonctionnement et atténuer partiellement la sensibilité aux coins de procédé et de température. L'introduction d'un VCQRO apparaît alors comme une évolution naturelle pour compenser ces variations et renforcer la robustesse fréquentielle (Figure 74).

Le **miroir de courant** élémentaire à grilles arrière croisées constitue également un exemple où l'**auto-calibration peut être utile**. Dans ce cas, **l'impédance de sortie est augmentée, ce qui réduit la dépendance de I_{OUT} à V_{OUT} , tout en conservant une structure compacte. Ce bénéfice reste conditionné à un dimensionnement approprié** (longueur du canal L et point de polarisation), afin de maintenir la cellule dans une zone où l'équilibre entre correction (g_{mb}) et non-idéalités (g_{ds}) est maîtrisé.

En revanche, **l'auto-calibration via les grilles arrière croisées appliquée à une chaîne de miroirs de courant commutés est plus délicate**, car la rétroaction n'est plus strictement locale mais couplée à l'ensemble des branches. Une variation de V_{DS} sur une branche active peut se réinjecter, via les grilles arrière (g_{mb}), dans la branche diode-connectée qui fixe le V_{GS} commun. Cette perturbation se propage à toutes les branches actives : **l'auto-calibration devient alors un mécanisme global, dépendant de la combinaison de branches activées** (code binaire). Enfin, dans notre RNAA, le courant d'entrée I_{REF} varie entre 10 nA et 100 nA, ce qui déplace le point de polarisation et complique l'optimisation par rapport à un miroir auto-polarisé élémentaire, dont le dimensionnement peut être ajusté pour une condition donnée.

Pour aller plus loin que l'analyse limitée aux coins de procédé, nous avons étendu l'évaluation aux variations complètes PVT ($V_{DD} \pm 10\%$, -40°C à 125°C). Ces simulations mettent en évidence une sensibilité marquée en température : la variation conjointe de la tension de seuil V_{TH} et de la mobilité déplace le point de polarisation et dégrade ainsi la reproductibilité courant-poids dans la chaîne de miroirs commutés. Cette sensibilité est d'autant plus importante dans notre RNAA que le courant d'entrée I_{REF} varie, ce qui élargit la plage de polarisation à couvrir.

Il est donc important de distinguer **deux objectifs complémentaires dans le cas de la chaîne de miroirs commutés** de notre RNAA :

- diminuer la pente $I_{OUT}(V_{OUT})$ (augmentation de la résistance de sortie) ;
- garantir la stabilité de la loi de multiplication face aux variations PVT et au balayage de I_{REF} .

Une configuration à grilles arrière croisées peut améliorer le premier point, sans garantir le second, car l'équilibre entre l'efficacité de correction (g_{mb}) et les non-idéalités (g_{ds}) dépend du point de polarisation et reste sensible aux variations PVT.

Dans nos travaux actuels, nous avons donc choisi de **polariser la grille arrière à une tension fixe intermédiaire** (210 mV dans notre implémentation), afin de supprimer la boucle induite par le couplage croisé et de **placer les transistors dans une zone de polarisation plus "centrée"**. Ce choix évite les régimes de sous- ou surcompensation liés aux grilles arrière, préserve des marges de saturation plus régulières sur l'ensemble de la plage de courants, et conduit ainsi à une loi de transfert poids-courant plus monotone et plus facilement modélisable, donc plus prévisible. Nos premières simulations PVT avec grille arrière fixée suggèrent qu'il serait possible de réduire les variations courant-poids à moins de 10 %, améliorant sensiblement la robustesse de la chaîne, et potentiellement la qualité de l'apprentissage du RNAA.

Cette discussion met en évidence qu'une compensation par grilles arrière croisées n'est pas systématiquement souhaitable : dans les structures fortement interconnectées, une polarisation arrière intermédiaire peut constituer un compromis plus robuste et plus prédictible.

Enfin, en régime dynamique, il est probable que des variations supplémentaires apparaissent lors des changements de code. Le nœud de sommation voit alors une capacité parasite effective C_Σ dépendante du nombre de branches actives (C_{db} , C_{gd} et capacités des commutateurs MOS), susceptible de dégrader le temps d'établissement et de générer des erreurs transitoires (injection de charge, couplage capacitif). Ces effets ne sont pas pris en compte dans l'approche actuelle, où l'apprentissage est réalisé hors ligne et les poids sont figés, mais devront être réévalués en vue d'un apprentissage sur puce, où la fréquence de mise à jour des poids pourrait rendre la dynamique plus impactante.

4.3.5 Ouverture applicative : du cas Wisconsin vers le NIALM (edge AI)

Le cas d'étude Wisconsin joue un rôle essentiel de banc d'essai : il s'agit d'une tâche de classification binaire à nombre d'entrées limitée, qui fournit un cadre pour concevoir en analogie des blocs de base d'un RNAA et en caractériser les performances et les limites. Néanmoins, **l'ambition de nos travaux est désormais d'étendre cette approche vers une application NIALM**, visant à détecter l'activité d'appareils électriques à partir d'une mesure agrégée réalisée sur le câble d'alimentation d'un logement, puis à estimer la consommation par usage. Au-delà de l'intérêt méthodologique, l'objectif général du NIALM est de fournir un retour d'information plus fin sur les consommations (par appareil et par activité), afin d'aider l'utilisateur à modifier ses comportements et à réduire la demande énergétique. **Cette démarche s'inscrit dans une perspective plus large de sobriété énergétique.**

La technologie NIALM [Hart 1992], vise à n'utiliser qu'un seul capteur non intrusif pour surveiller l'ensemble des appareils d'un réseau électrique. À partir des mesures de courant et de tension sur la ligne principale, l'objectif est de désagréger la consommation globale afin d'identifier les événements d'allumage/extinction (ou changements d'état) et d'estimer la contribution énergétique de chaque appareil. Un système NIALM s'organise classiquement en cinq étapes (Figure 85) : acquisition, prétraitement (extraction de grandeurs électriques), détection d'événements, classification, puis estimation des contributions par appareil. Dans la suite, le terme « désagrégation » désigne l'objectif global de la chaîne, à savoir reconstruire la consommation par appareil à partir de la mesure agrégée.

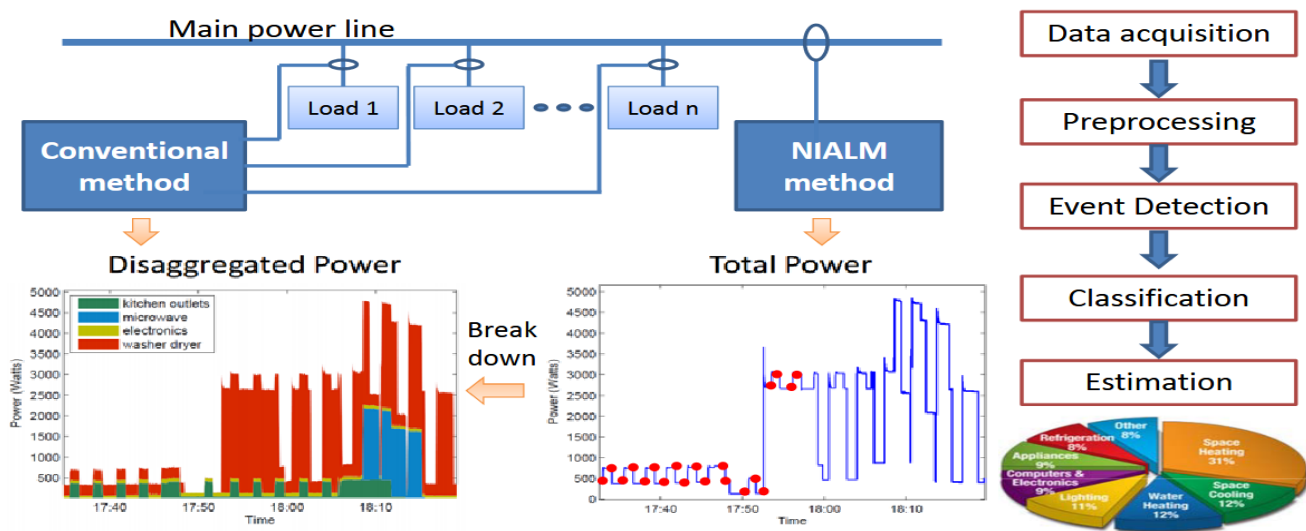


Figure 85. Méthodes conventionnelle et NIALM pour surveiller la consommation électrique

Les travaux de Kien Trung Nguyen [Nguyen 2015], réalisés dans notre laboratoire, constituent une base solide pour aborder cette transition. Sa thèse propose une chaîne NIALM temps réel orientée « edge », conçue pour des contraintes fortes de déploiement (simplicité, coût, compacité) et de latence.

Sa chaîne de traitement (Figure 86) s'appuie sur la partie haute fréquence de la base de données REDD (Reference Energy Disaggregation Data Set) et consiste à calculer des grandeurs électriques agrégées : P et Q (puissances active et réactive), et THD (taux de distorsion harmonique total). Elle réalise ensuite une détection d'événements via l'algorithme CUSUM (CUMulative SUM), adapté par K. Nguyen au contexte du NIALM (seuils adaptatifs, repérage début/fin des transitoires) afin d'améliorer la robustesse au bruit et la détection des transitions lentes [Nguyen et al. 2014]. À chaque événement détecté, un vecteur compact de caractéristiques transitoires [dP , dQ , $dTHD$, dt] est extrait.

L'identification/classification des événements repose ensuite sur une combinaison « regroupement en classes (clustering) et algorithme génétique (GA) » : un algorithme k-means séquentiel regroupe les événements en classes (centroïdes) pour stabiliser les signatures, puis le GA associe les événements (ON/OFF, multi-états) pour identifier les équipements.

Une fois cette attribution réalisée, l'étape d'estimation vise à synthétiser la consommation totale et la part de consommation associée à chaque appareil sur la période considérée. Pour cela, l'algorithme s'appuie sur la liste d'événements ainsi raffinée : chaque transition est décrite par le vecteur [dP, dQ, dTHD, dt], et la valeur du centroïde de la classe correspondante est utilisée comme représentation "typique" de l'événement. Ce recours au centroïde joue un rôle de filtrage passe-bas pour réduire l'impact du bruit et de la variabilité de mesure.

Le Tableau 8 présente les résultats d'identification/classification par appareil obtenus à partir d'une partie du jeu de données REDD, correspondant à une semaine de mesures dans la maison 3. Il montre de bonnes précisions pour les appareils de puissance élevée (souvent > 85%) et des performances plus faibles pour certains éclairages ou appareils de faible puissance (≈57 à 72 %).

Tableau 8. Résultats de classification sur une semaine dans la maison 3 du jeu de données REDD

Appliance type	P [W]	Q [W]	THD [%]	dt_ON [samples]	Accuracy [%]
Washer Dryer 1	2264	29	2	11->17	95.59
Bathroom gfi 1	1693	-11	3	2->4	100
Microwave Oven 1	1690	-319	40	23->29	85.19
Outlet 3 App 3	1293	-2	3	2	76.47
Electronics App 1	1133	0	2	2	95
Bathroom GFI App 2	1065	-18	2	28	66.67
Lighting 1 App 1	1014	-120	18	25	100
Outlet 3 App 1	942	-13	3	3	87.1
Furnace App 1	666	-320	2	1	100
Furnace App 2	442	4	2	14	96.55
Outlet 3 App 2	387	2	2	10	90.91
Lighting 2 App 1	197	2	7	3	57.14
Lighting 5 App 1	180	-62	21	6	62.5
Lighting 4 App 1	132	29	51	4	72
Refrigerator App 1	123	-25	8	16->17	94.46
Furnace App 3	91	-128	12	5	93.55

Cette approche présente **deux limites majeures identifiées dans la thèse** :

- une sensibilité de la détection événementielle pour certaines charges faibles ou transitions lentes ;
- des difficultés du GA lorsque plusieurs appareils présentent des signatures proches, ainsi que des limitations en présence d'événements simultanés.

Ces constats motivent l'exploration de méthodes plus robustes, en distinguant les contributions de chaque brique. **La thèse en cours de Z. Ma vise ainsi à améliorer l'étape d'identification/classification, en remplaçant le bloc « clustering + GA » par un RNAA de type MLP entraîné par rétropropagation.** L'objectif est de mieux séparer des signatures proches et de renforcer la robustesse aux multi-états et aux superpositions d'événements. La détection d'événements CUSUM restant en amont de la chaîne, sa sensibilité pour les faibles charges et transitions lentes demeure un point de vigilance et pourra nécessiter des ajustements dédiés (paramétrage CUSUM et/ou enrichissement des signatures).

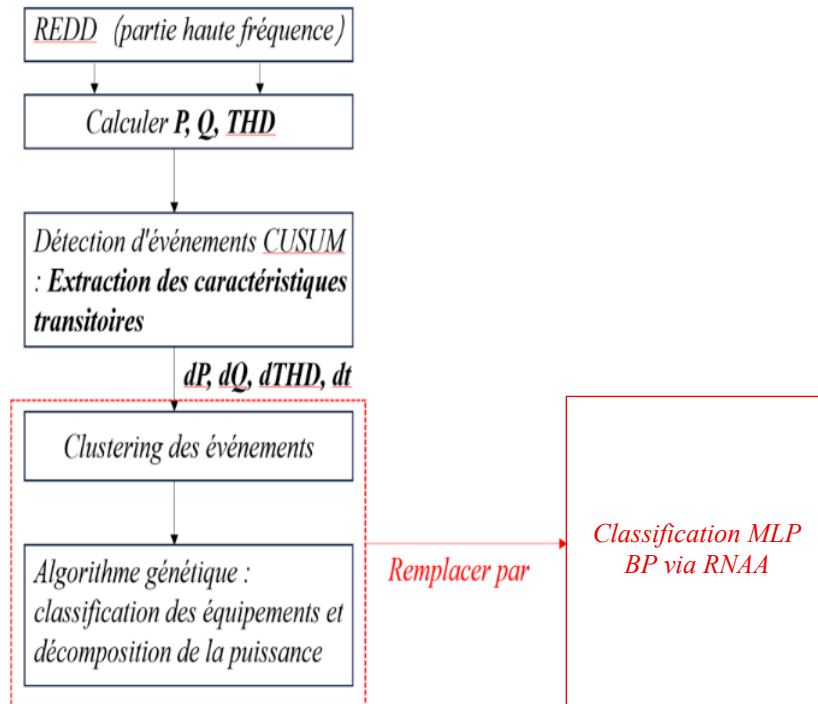


Figure 86. Chaîne de traitement NIALM avec classification « clustering + GA » et objectif d'évolution vers une classification MLP BP à l'aide d'un RNAA

Ainsi, les travaux en cours visent à proposer une solution de classification de type MLP-BP adaptée aux contraintes spécifiques du NIALM, en suivant une démarche structurée :

- **Étude Matlab** : définition d'une architecture MLP-BP compatible edge (choix des caractéristiques en entrée, dimensionnement du réseau, stratégie d'apprentissage et règle de décision).
- **Déclinaison matérielle** : traduction en cahier des charges circuit et réutilisation des briques RNAA développées (multiplieur à miroirs de courant commutés, log-sigmoïde et dérivée).
- **Caractérisation / généricité** : modélisation comportementale des blocs (équations, non-idéalités, plages de fonctionnement) pour évaluer leur transposabilité vers le NIALM.

Dans ce cadre, une première version de RNAA MLP-BP a déjà été identifiée pour l'identification/classification d'événements NIALM à partir de signatures extraites. Elle permet de capitaliser sur les briques analogiques existantes. En revanche, la couche de sortie nécessite l'ajout d'une fonction de décision de type softmax (ou d'une alternative équivalente) pour une formulation multi-classe, dont une implémentation analogique reste à établir.

Nous avons notamment adapté en UTBB-FDSOI 28 nm les blocs issus des travaux de H. Jouni (log-sigmoïde et dérivée), puis caractérisé et modélisé l'ensemble des fonctions nécessaires (hors softmax) sous forme d'équations comportementales et de plages de tensions/courants. **Les premières analyses indiquent que ces blocs sont transposables au NIALM à condition de respecter ces plages, ce qui est compatible avec l'usage de miroirs de courant commutés : les rapports de dimensions des miroirs permettent d'ajuster les niveaux de courant au point de polarisation des étages suivants.**

Les étapes restantes consistent à concevoir la fonction softmax, assembler l'ensemble, intégrer des modèles d'imperfections (variations PVT, mismatch et bruit), et vérifier les performances du RNAA sous Matlab/Simulink, notamment dans le cadre du stage en cours de Wissal El Figuigui, élève ingénieure en Mathématiques Appliquées et Modélisation à Polytech Nice Sophia.

4.3.6 Conclusion et perspectives sur la conception d'un RNAA en UTBB-FDSOI 28 nm

Les travaux présentés sur le RNAA montrent qu'il est possible de revisiter l'implémentation analogique d'un réseau de neurones en cherchant à réduire le coût matériel par synapse, tout en conservant une compatibilité avec des tâches de classification embarquée. **L'introduction de poids numériques associés à des miroirs commutés** constitue une évolution importante, car elle **ouvre une voie plus intégrable et plus sobre que des approches purement analogiques plus coûteuses.**

Un point structurant mis en évidence dans l'étude concerne l'usage des grilles arrière croisées. Si ce mécanisme est efficace sur certaines structures, il devient plus délicat lorsqu'il s'applique à une chaîne interconnectée de miroirs commutés, où la rétroaction se globalise et dépend du code activé ainsi que du point de polarisation. Dans ce contexte, le recours à une polarisation arrière fixe intermédiaire apparaît comme un compromis plus robuste et plus prédictible.

Au-delà du démonstrateur, ces travaux proposent une architecture RNAA plus compacte et plus intégrable. Ils mettent aussi en évidence les limites et les conditions d'usage de la grille arrière dans des chaînes analogiques interconnectées. Ils montrent ainsi que l'UTBB-FDSOI peut servir non seulement à concevoir des cellules sobres, mais aussi à explorer des compromis réalistes entre densité d'intégration, consommation et robustesse pour des fonctions de calcul embarqué.

L'ouverture applicative vers le NIALM montre par ailleurs que les briques développées peuvent être réutilisées dans une première chaîne de classification embarquée à partir de signatures électriques. Elle met aussi en évidence que le passage à une véritable architecture multi-classe suppose encore de compléter la couche de sortie par une fonction de décision adaptée.

À court terme, les priorités sont :

- concevoir une fonction de décision multi-classe compatible avec une implémentation analogique (softmax ou alternative) pour compléter la couche de sortie ;
- assembler et concevoir jusqu'au niveau layout le RNAA complet en UTBB-FDSOI 28 nm ;
- construire un modèle comportemental calibré à partir des simulations post-layout (coins PVT et Monte-Carlo) et l'exploiter dans une démarche « hardware-aware » afin d'évaluer l'impact sur la précision de classification du RNAA.

L'objectif est d'aboutir à une chaîne RNAA complète, validée et transposable à des tâches d'intelligence embarquée basse consommation, notamment pour le NIALM.

4.4 Conclusion et perspectives sur les travaux de conception de circuits intégrés analogiques et RF en technologie UTBB-FDSOI 28 nm

Les travaux présentés dans cette partie suivent **un même fil directeur : exploiter la polarisation de grille arrière en UTBB-FDSOI comme levier de conception**. L'objectif est à la fois d'améliorer la consommation, la compacité et la stabilité, et de mieux maîtriser les non-idéalités, en particulier les dispersions PVT, le mismatch, le bruit et la dépendance au point de polarisation. Cette logique a conduit au développement progressif d'un ensemble cohérent de briques analogiques, RF et de calcul, depuis des cellules élémentaires de polarisation et de contrôle d'impédance jusqu'à des architectures plus intégrées pour les communications IoT et l'IA embarquée basse consommation.

Sur le plan méthodologique, **ces travaux reposent sur une même démarche : partir des leviers physiques offerts par la technologie UTBB-FDSOI, proposer des topologies compactes, puis en évaluer la robustesse au niveau circuit et au niveau fonctionnel**. Cette approche a permis de faire le lien entre la conception de cellules élémentaires, leur intégration dans des architectures plus complexes et leur validation dans des contextes applicatifs contraints. Elle constitue aussi un socle en vue de la constitution d'une bibliothèque de briques analogiques et RF réutilisables, spécifiées par plages de fonctionnement et contraintes de robustesse.

Les principaux apports de ces travaux peuvent ainsi être regroupés en **deux contributions majeures** :

- **la conception d'un ensemble de briques analogiques et RF en UTBB-FDSOI pour les communications IoT basse consommation, dont l'ILCDR constitue l'aboutissement principal**. Cette contribution prolonge mes travaux sur l'exploitation de la grille arrière comme levier de stabilisation, d'ajustement et de maîtrise des dispersions, jusqu'à une architecture RF complète conciliant simplicité, faible consommation et temps de capture réduit en mode rafale ;
- **l'ouverture vers une implémentation de RNAA en UTBB-FDSOI pour l'IA embarquée basse consommation**. Cette contribution vise à exploiter des briques compactes, robustes et intégrables pour des fonctions locales de calcul et de classification, afin de réduire le coût matériel par synapse et de rendre plus réaliste une intégration matérielle pour des applications d'edge AI, notamment dans la perspective d'une application NIALM.

Ces deux contributions s'inscrivent dans **un même positionnement scientifique : concevoir, à partir des possibilités offertes par l'UTBB-FDSOI, des fonctions électroniques sobres, robustes et réutilisables, d'abord pour communiquer, puis pour traiter localement l'information**. Elles ne se situent toutefois pas au même niveau de maturité. **Les travaux liés à l'ILCDR ont permis de valider un ensemble structuré de briques RF et leur intégration dans une architecture complète pour l'IoT**. À l'inverse, **les travaux sur le RNAA constituent aujourd'hui un axe fort vers l'IA embarquée, avec une contribution déjà affirmée au niveau architectural**, mais encore en cours de consolidation vers une chaîne complète, notamment pour la couche de décision multi-classe, le passage au layout complet et l'évaluation hardware-aware post-layout.

Les perspectives à court et moyen terme prolongent ce travail selon deux directions complémentaires. **La première consiste à établir des règles de conception robustes fondées sur la grille arrière**, permettant de stabiliser le point de polarisation et les fonctions de transfert des briques analogiques et RF malgré les dispersions, en s'appuyant sur des analyses post-layout et des modèles comportementaux calibrés. **La seconde vise à développer une bibliothèque de cellules « back-bias aware »**, paramétrées par plages de fonctionnement (V/I) et marges d'erreur, afin de faciliter la transposition des briques vers des architectures plus complexes tout en conservant une méthode de spécification cohérente.

En parallèle de ces travaux en UTBB-FDSOI 28 nm, je contribue, dans le cadre d'un partenariat de recherche entre Polytech'Lab et STMicroelectronics, à des activités de recherche dédiées à la conception et à la validation de circuits intégrés analogiques pour environnements microcontrôleurs. Ces travaux prolongent le même fil directeur, mais dans un cadre plus contraint par les exigences industrielles de robustesse, de rendement et d'intégration.

Cette collaboration, engagée de longue date, a donné lieu à plusieurs thèses menées conjointement [Leca 2012; Quazzo 2022; Peyrard 2024]. Elle s'est récemment prolongée avec la thèse de Marine Brun [Brun 2025], consacrée aux principes d'autoadaptation d'un oscillateur à quartz 32.768 kHz pour microcontrôleur en technologie FDSOI 18 nm. Elle se poursuit aujourd'hui avec la thèse en cours de Damien Blanc, dédiée à la calibration sur puce de la résistance de sortie d'un port Universal Serial Bus (USB) 2.0 dans cette même technologie. Dans ce cadre, **j'apporte mon expérience en conception de circuits analogiques et RF, sur la méthodologie de dimensionnement et la validation par simulation et par mesure.** J'ai co-encadré la thèse de M. Brun à hauteur de 30 % et j'encadre actuellement celle de D. Blanc au même taux.

4.5 Travaux de recherche sur l'étude des principes d'autoadaptation d'un oscillateur à quartz 32.768 kHz pour microcontrôleurs

4.5.1 Contexte et objectifs industriels

L'oscillateur à quartz 32.768 kHz constitue une brique essentielle des microcontrôleurs, car il fournit une base de temps stable pour les fonctions de temporisation, d'horodatage et de réveil périodique. Contrairement à d'autres blocs du système, il reste actif lorsque le microcontrôleur est placé en veille profonde. Sa consommation continue, même limitée à quelques dizaines de nanoampères, peut donc représenter une part significative du budget énergétique d'un équipement autonome.

Au-delà de cette contrainte de basse consommation, l'environnement microcontrôleur impose des exigences fortes de robustesse et de simplicité d'intégration. L'oscillateur doit fonctionner avec des quartz disponibles sur le marché, dont les paramètres peuvent varier fortement, notamment l'Equivalent Series Resistance (ESR), la capacité parallèle C_0 , la capacité de charge C_L et les tolérances associées. Il doit également rester robuste face aux capacités parasites introduites par les pads, le boîtier et le circuit imprimé, qui modifient la charge réellement vue par le résonateur et peuvent dégrader la précision fréquentielle. Enfin, les variations PVT modifient les points de polarisation et la transconductance disponible dans l'amplificateur, ce qui peut affecter le démarrage et la stabilité de l'oscillation.

Dans ce contexte, **l'objectif est de concevoir un oscillateur à quartz à la fois sobre, robuste et simple d'emploi pour des familles de microcontrôleurs généralistes**, couvrant des usages et des conditions d'intégration hétérogènes. L'enjeu n'est donc pas seulement d'optimiser un oscillateur pour une référence de quartz donnée, mais de définir des règles de conception permettant de garantir le démarrage et le fonctionnement sur une plage élargie de quartz et de conditions d'usage.

Les travaux s'appuient pour cela sur le formalisme de Vittoz et sur une analyse en impédance complexe. L'étude de $Z_C(G_m)$ permet de définir une plage admissible de transconductance compatible avec l'oscillation, tandis que l'étude de $Z_C(I_C)$ renseigne sur le comportement au démarrage et sur la stabilisation du régime permanent. Cette approche fournit un cadre de dimensionnement adapté aux contraintes industrielles, car elle permet de raisonner en termes de marges de conception plutôt qu'en conditions nominales uniquement.

Deux axes complémentaires sont ainsi étudiés. Le premier vise **une solution orientée ultra-basse consommation**, adaptée à des quartz bien identifiés et à des fenêtres de fonctionnement maîtrisées. Le second vise **une solution plus générique, capable de couvrir plusieurs références de quartz sans configuration utilisateur**, grâce à une modélisation plus réaliste des capacités parasites et à une architecture d'amplification adaptée. Bien que la technologie utilisée soit une technologie FDSOI 18 nm, compatible avec l'exploitation de la grille arrière, les solutions proposées ne reposent pas directement sur ce levier, afin de préserver leur généricité et leur transposabilité à d'autres technologies CMOS.

Cette partie présente les travaux menés sur l'autoadaptation d'un oscillateur à quartz 32.768 kHz pour microcontrôleurs. Après un rappel limité aux éléments théoriques nécessaires à la compréhension des travaux présentés (modèle électrique du quartz, architecture de Pierce et formalisme de Vittoz), elle aborde la modélisation des capacités parasites, la conception d'un amplificateur à deux étages basse consommation, puis l'extension vers un oscillateur à quartz multi-références.

4.5.2 Analyse théorique des oscillateurs à quartz

4.5.2.1 Théorie du quartz

Autour de sa fréquence de résonance, le quartz peut être représenté par le modèle électrique de Butterworth–Van Dyke (BVD) [Van Dyke 1928], présenté sur la Figure 87. Ce modèle associe une branche motrice série (L_m , R_m , C_m), qui traduit le comportement mécanique du résonateur, à une capacité parallèle C_0 , liée aux électrodes et aux connexions du quartz. Dans cette représentation, L_m modélise l'inertie mécanique, C_m l'élasticité, et R_m les pertes du résonateur. Cette résistance est généralement assimilée à l'ESR, paramètre déterminant pour le démarrage de l'oscillation.

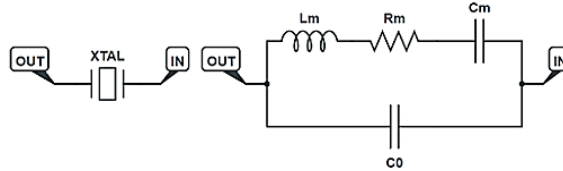


Figure 87. Modèle électrique équivalent du quartz

L'impédance équivalente du quartz présente deux fréquences caractéristiques : la résonance série F_S , dominée par la branche motrice, et la résonance parallèle F_P , liée à l'interaction entre la branche motrice et la capacité C_0 . Entre ces deux fréquences, le quartz présente un comportement inductif. C'est dans cette zone que l'oscillateur de Pierce exploite le résonateur afin d'obtenir une fréquence d'oscillation F_{OSC} stable et précise (relation (21)).

$$F_S = \frac{1}{2\pi\sqrt{L_m C_m}} \leq F_{OSC} \leq F_P = \frac{1}{2\pi\sqrt{L_m \frac{C_m C_0}{C_m + C_0}}} \quad (21)$$

4.5.2.2 Oscillateur de Pierce

L'architecture de Pierce (Figure 88) est la topologie la plus utilisée pour les oscillateurs à quartz 32.768 kHz intégrés aux microcontrôleurs [Pierce 1929]. Elle associe un amplificateur inverseur, le quartz externe et deux capacités de pied C_1 et C_2 . Ces capacités imposent au quartz une capacité de charge effective $C_{L,eff}$, qui doit être aussi proche que possible de la capacité C_L spécifiée dans la datasheet.

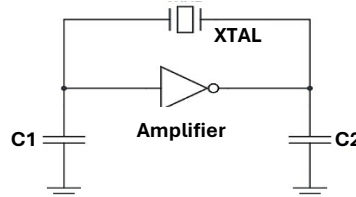


Figure 88. Architecture de l'oscillateur de Pierce

En première approximation, lorsque les capacités parasites sont ramenées à une capacité équivalente globale C_S , la charge vue par le quartz peut s'écrire :

$$C_{L,eff} \approx \frac{C_1 C_2}{C_1 + C_2} + C_S \quad (22)$$

Dans un cas idéal symétrique et sans capacités parasites, on choisit généralement $C_1 = C_2 = 2C_L$. En pratique, les capacités parasites liées aux pads, au boîtier et au circuit imprimé modifient la charge réellement vue par le quartz. Un écart entre C_L et $C_{L,eff}$ entraîne alors un décalage de la fréquence d'oscillation et peut également modifier les marges de fonctionnement.

L'amplificateur doit fournir une transconductance suffisante pour compenser les pertes du quartz et assurer le démarrage, sans être surdimensionné afin de limiter la consommation et de préserver un régime établi prédictible. Le dimensionnement consiste donc à placer la transconductance de conception dans une fenêtre compatible avec le démarrage, la stabilité et la consommation visée.

4.5.2.3 Formalisme de Vittoz

Pour analyser cette fenêtre de fonctionnement, les travaux s'appuient sur le formalisme de Vittoz [Vittoz et al. 1988]. Cette approche consiste à séparer l'oscillateur en deux sous-ensembles (Figure 89) : la branche motrice du quartz, représentée par son impédance Z_m , et l'environnement électronique, représenté par une impédance équivalente Z_C vue entre les nœuds OSC_IN et OSC_OUT.

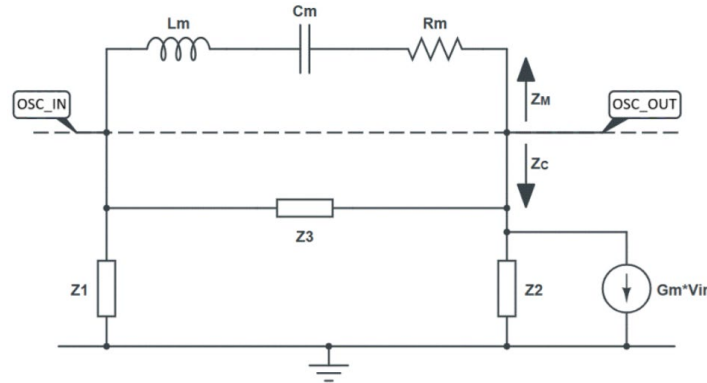


Figure 89. Décomposition en impédances du formalisme de Vittoz

L'impédance Z_C s'exprime à partir des impédances Z_1 , Z_2 , Z_3 :

$$Z_C = \frac{Z_1 Z_3 + Z_2 Z_3 + G_m Z_1 Z_2 Z_3}{Z_1 + Z_2 + Z_3 + G_m Z_1 Z_2} \quad (23)$$

Une fois le quartz, la fréquence et l'environnement fixés, Z_C dépend principalement de G_m . Vittoz trace alors $Z_C(G_m)$ dans le plan complexe et superpose la droite $-R_m$ (Figure 90). La première intersection définit $G_{m,crit}$ qui correspond à la limite de démarrage. La deuxième intersection définit $G_{m,max}$, au-delà de laquelle le fonctionnement devient défavorable. Vittoz introduit également une valeur optimale $G_{m,opt}$, associée à un compromis favorable entre démarrage rapide, stabilité et consommation.

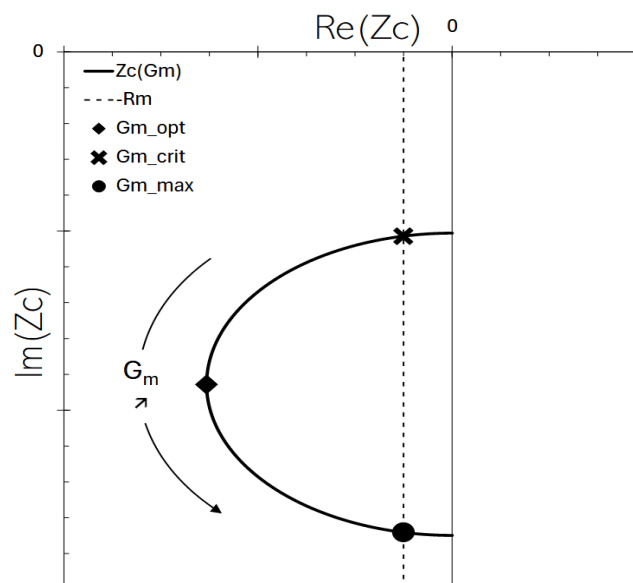


Figure 90. Impédance $Z_C(G_m)$ dans le plan complexe

Dans le cas d'un réseau de charge capacitif, l'équation (23) de $Z_C(\omega)$ permet de définir analytiquement les trois transconductances remarquables de Vittoz. L'intérêt pratique de cette approche est de définir une fenêtre de transconductance admissible : $G_{m,design}$ doit être suffisamment supérieur à $G_{m,crit}$ pour garantir le démarrage, sans dépasser $G_{m,opt}$, afin d'éviter une consommation excessive et un comportement moins prédictible. En pratique, on retient une marge de sécurité SM, typiquement de l'ordre de 5 à 6 [Vittoz 2010], de sorte que :

$$SM * G_{m,crit} \leq G_{m,design} \leq G_{m,opt} \quad (24)$$

L'étude $Z_C(I_C)$ complète cette analyse en prenant en compte la phase de démarrage (Figure 91). Une fois $G_{m,design}$ fixé, l'amplitude du courant dans la branche motrice du quartz augmente durant le transitoire, ce qui fait évoluer Z_C dans le plan complexe. L'intersection de cette trajectoire avec la droite $-R_m$ indique le point de stabilisation de l'oscillateur. Une stabilisation proche de $G_{m,crit}$, avec une pente locale faible, traduit un fonctionnement plus prédictible et moins sensible aux variations d'ESR. À l'inverse, une stabilisation plus éloignée de cette zone, ou l'absence d'intersection avec $-R_m$, indique un fonctionnement moins robuste, voire une absence de stabilisation.

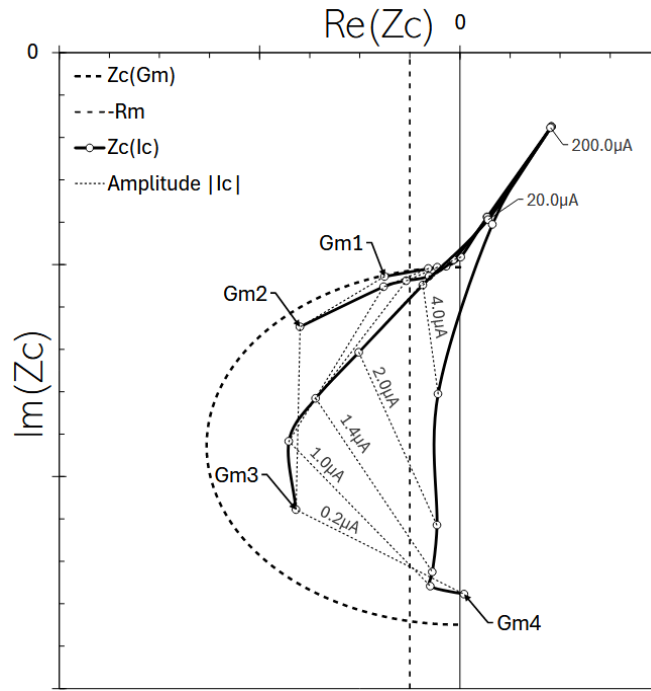


Figure 91. Courbes $Z_C(I_C)$ pour différentes valeurs de $G_{m,design}$

Ce formalisme relie capacités parasites, fenêtre de transconductance et dimensionnement de l'amplificateur. La section suivante l'applique à la modélisation des capacités parasites, et résume les résultats de cette publication internationale [Brun et al. 2025].

4.5.3 Proposition d'une nouvelle approche de modélisation pour l'intégration des capacités parasites dans un oscillateur à quartz basé sur l'architecture de Pierce

4.5.3.1 Présentation des approches conventionnelle et nouvelle

L'approche conventionnelle (Figure 92a), utilisée par les industriels pour dimensionner C_1 et C_2 , modélise l'ensemble des capacités parasites par une unique capacité C_S entre OSC_IN et OSC_OUT. Cette simplification est pratique pour le réglage fréquentiel, mais elle revient à placer C_S en parallèle avec la capacité C_0 du quartz, ce qui modifie de manière significative l'analyse de la transconductance.

L'approche proposée repose sur une représentation plus physique de l'intégration. Les capacités parasites ne sont plus regroupées dans une seule capacité globale C_s , mais réparties entre les différents nœuds de l'oscillateur : C_{p0} entre OSC_IN et OSC_OUT, C_{p1} entre OSC_IN et GND, et C_{p2} entre OSC_OUT et GND (Figure 92b).

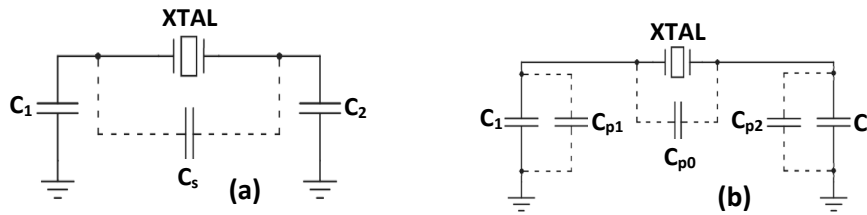


Figure 92. Intégration des capacités parasites : (a) approche conventionnelle ; (b) nouvelle approche

Ces capacités intègrent les contributions du boîtier, du support éventuel et du circuit imprimé :

$$C_{pX} = C_{\text{package}X} + C_{\text{socket}X} + C_{\text{board}X} \quad (25)$$

4.5.3.2 Capacités parasites et études de cas

Afin d'évaluer l'impact de cette modélisation, plusieurs configurations ont été étudiées : un boîtier Quad Flat Package (QFP) avec ponts fermés, un boîtier QFP avec ponts ouverts, et une configuration Land Grid Array (LGA) représentative d'un produit commercial. Les capacités parasites ont été extraites à l'aide de Q3D Extractor ou SIWave, à partir des layouts de carte et des modèles de boîtier.

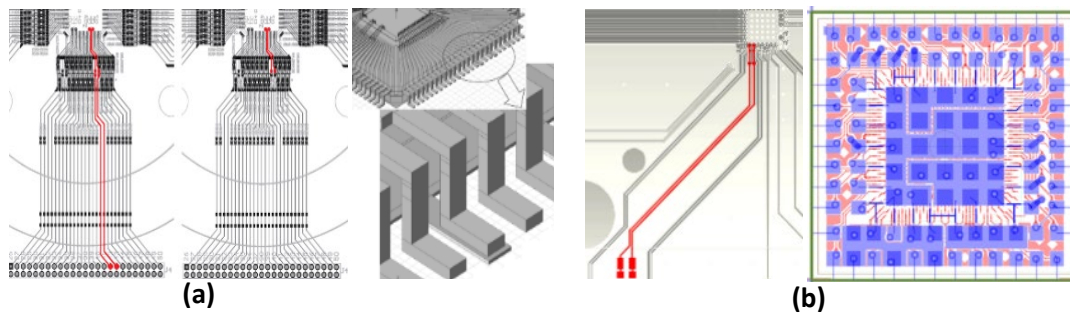


Figure 93. Cartes de test : (a) QFP, ponts fermés / ponts ouverts ; (b) LGA, produit commercial.

Le Tableau 9 montre que les valeurs extraites varient fortement selon la configuration. Les ponts ouverts en QFP réduisent nettement les parasites grâce au rapprochement du quartz de la puce, tandis que la configuration LGA présente des valeurs intermédiaires mais réalistes pour un produit commercial. Dans tous les cas, la capacité globale C_s utilisée par l'approche conventionnelle diffère de la capacité physique C_{p0} utilisée dans le cas de l'approche proposée.

Tableau 9. Capacités parasites simulées selon les configurations de boîtier et de carte

Configuration	QFP en ponts fermés	QFP en ponts ouverts	LGA - produit commercial
Valeur de C_{p1}	7.38 pF	1.42 pF	4.48 pF
Valeur de C_{p2}	7.28 pF	1.42 pF	4.40 pF
Valeur de C_{p0}	1.33 pF	0.95 pF	0.58 pF
Valeur de C_s	4.99 pF	1.66 pF	2.80 pF

4.5.3.3 Impact sur la fréquence

L'impact des deux approches a d'abord été analysé sur le réglage fréquentiel, en considérant la configuration « LGA - produit commercial » et un quartz réel de 32.768 kHz [NDK 2003], caractérisé par $C_L = 6$ pF, $ESR = 70$ k Ω et $C_0 = 1.5$ pF.

Dans l'approche de modélisation conventionnelle, la capacité C_S impose une structure symétrique, les capacités de pied se déduisent alors de :

$$C_1 = C_2 = 2 (C_L - C_S) \quad (26)$$

Dans l'approche de modélisation proposée, C_1 et C_2 ne sont plus nécessairement égales, car elles doivent intégrer séparément C_{p1} et C_{p2} , potentiellement différents, ce qui conduit à :

$$C_{1,2} = 2 (C_L - C_{p0}) - C_{p1,2} \quad (27)$$

Pour le cas LGA étudié, les deux approches conduisent à des valeurs très proches : $C_1 = C_2 = 6.4$ pF avec l'approche conventionnelle, contre $C_1 = 6.36$ pF et $C_2 = 6.44$ pF avec l'approche proposée. Pour le réglage de la fréquence, les deux modélisations sont donc globalement équivalentes en première approximation : l'essentiel est de garantir que la charge effective vue par le quartz reste proche de C_L .

4.5.3.4 Impact sur la transconductance

La différence entre les deux approches devient en revanche marquée lorsque l'on analyse la fenêtre de transconductance à partir du formalisme de Vittoz. Pour cette étude, la capacité située entre OSC_IN et OSC_OUT est notée $C_{IN/OUT}$. Elle correspond à C_S dans l'approche conventionnelle et à C_{p0} dans l'approche proposée.

Les capacités équivalentes associées aux branches du formalisme de Vittoz peuvent alors s'écrire :

$$C_{eq1} = C_{eq2} = 2 (C_L - C_{IN/OUT}) \quad C_{eq3} = C_0 + C_{IN/OUT} \quad (28)$$

Or, dans les configurations étudiées, C_S est systématiquement supérieure à C_{p0} . L'approche conventionnelle augmente donc fortement la capacité équivalente $C_{eq3} = C_0 + C_S$, alors que l'approche proposée, fondée sur $C_0 + C_{p0}$, fournit une représentation plus réaliste de l'intégration.

Cette différence a un impact direct sur la trajectoire $Z_C(G_m)$ dans le plan complexe. La Figure 94 compare, pour le cas « LGA - produit commercial », la trajectoire théorique sans parasites, l'approche conventionnelle et l'approche proposée. Le résultat principal est que la plage admissible de transconductance est plus de dix fois plus large avec l'approche proposée qu'avec l'approche conventionnelle.

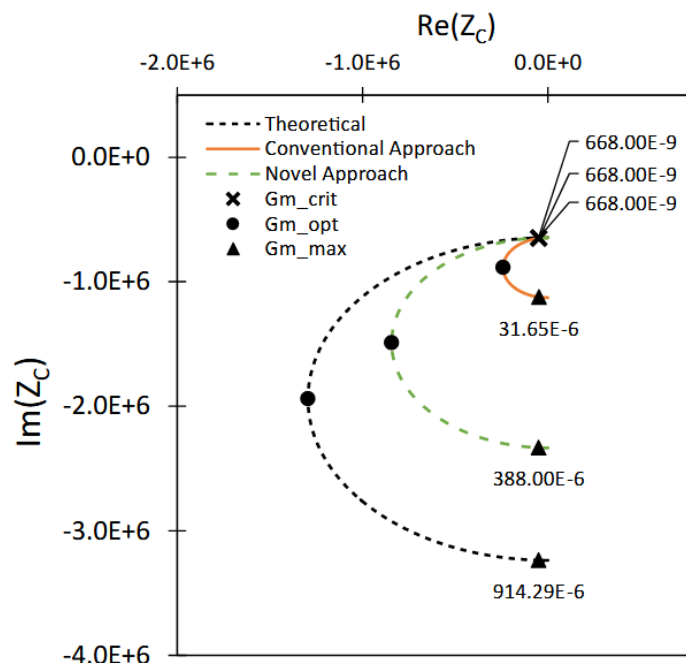


Figure 94. Étude $Z_C(G_m)$ dans le cas « LGA – produit commercial »

Ce résultat est important en contexte industriel. Une fenêtre de transconductance plus large facilite la prise en compte des variations PVT et des dispersions statistiques, notamment en Monte-Carlo. Elle donne également davantage de marge au concepteur pour garantir le démarrage et la stabilité de l'oscillateur sans surdimensionner l'amplificateur.

4.5.3.5 Conclusion sur la nouvelle approche de modélisation

Pour le calcul des capacités de pied, en vue de régler la fréquence, les approches conventionnelle et proposée sont globalement équivalentes en première approximation. En revanche, **les deux approches diffèrent fortement dès que l'on s'intéresse à l'étude de la transconductance**. L'approche conventionnelle impose des contraintes plus sévères sur la plage de transconductance garantissant une oscillation stable mais ne reflète pas fidèlement la réalité physique de l'intégration. À l'inverse, **l'approche proposée fournit un modèle plus réaliste et offre davantage de marge au concepteur : elle élargit la fenêtre de transconductance admissible, facilite la prise en compte des variations PVT et conduit au final à des conceptions plus robustes et plus fiables**.

La section suivante présente les principaux résultats de cette publication internationale [Brun et al. 2023], portant sur l'architecture d'un amplificateur à deux étages pour un oscillateur à quartz de type Pierce.

4.5.4 Conception d'un amplificateur à deux étages pour un oscillateur à quartz

4.5.4.1 Architecture globale de l'oscillateur à modes de pilotage (driving modes)

La Figure 95 présente l'architecture globale de l'oscillateur. Elle comprend une source de courant, un amplificateur associé à une résistance de contre-réaction, un circuit de mise en forme de l'horloge de sortie, ainsi qu'un sélecteur de mode. Le quartz est connecté à la puce via les pads OSC_IN et OSC_OUT, tandis que les capacités de pied C_1 et C_2 fixent la charge C_L vue par le résonateur.

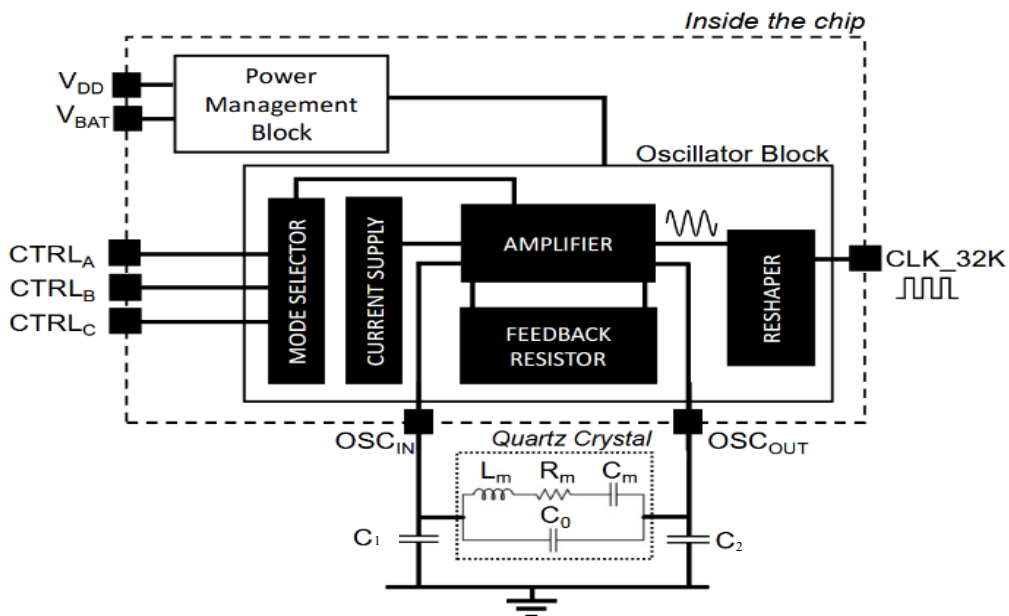


Figure 95. Architecture globale de l'oscillateur à modes de pilotage

Cet oscillateur doit couvrir une large gamme de quartz. Pour cela, le mode, sélectionné via les bits de contrôle $CTRL_x$, permet d'adapter l'amplificateur au quartz utilisé. Il permet d'ajuster la transconductance de l'amplificateur $G_{m,design}$ pour la maintenir dans l'intervalle visé (de $6G_{m,crit}$ à $G_{m,opt}$), afin d'assurer le démarrage sans surdimensionner l'amplificateur.

Cinq modes sont définis en fonction des caractéristiques du quartz et des conditions de fonctionnement (Tableau 10). Dans cette publication, l'étude se concentre sur deux cas représentatifs : le mode ULD, orienté ultra-basse consommation dans une fenêtre d'utilisation ciblée, et le mode MHD, représentatif d'un quartz plus exigeant, avec une ESR et une capacité de charge plus élevées.

Tableau 10. Résumé des spécifications des modes de pilotage

Mode name		LD (Low Drive)	MLD (Medium Low Drive)	MHD (Medium High Drive)	HD (High Drive)	ULD (Ultra Low Drive)
Operating Range	Temperature [°C]	-40 – 125	-40 – 125	-40 – 125	-40 – 125	0 – 85
	Voltage [V]	1.6 -3.6	1.6 -3.6	1.6 -3.6	1.6 -3.6	1.6 – 2.0
Quartz Crystal Features	ESR [kΩ]	< 50	< 80	< 50	< 80	55
	C_L [pF]	< 6	< 6	< 12.5	< 12.5	3
	C_0 [pF]	~1.2	~1.2	~1.2	~1.2	1.3
$G_{m_design_MIN}$ [μA/V]		2.63	4.22	9.54	15.3	1.03

4.5.4.2 Comparaison des architectures d'amplificateur un étage et deux étages

L'objectif principal de ce travail est de réduire la consommation de l'oscillateur en agissant sur l'amplificateur. L'architecture classique à un étage repose sur un NMOS en source commune polarisé par une source de courant PMOS. Pour augmenter G_m , il faut accroître le courant dans la branche, ce qui augmente directement la consommation.

L'architecture proposée à deux étages, présentée en Figure 96b, ajoute un second étage constitué de transistors PMOS. Ce second étage augmente la transconductance équivalente vue par le quartz. Il devient alors possible de réduire le dimensionnement et le courant du premier étage, tout en conservant une transconductance globale suffisante.

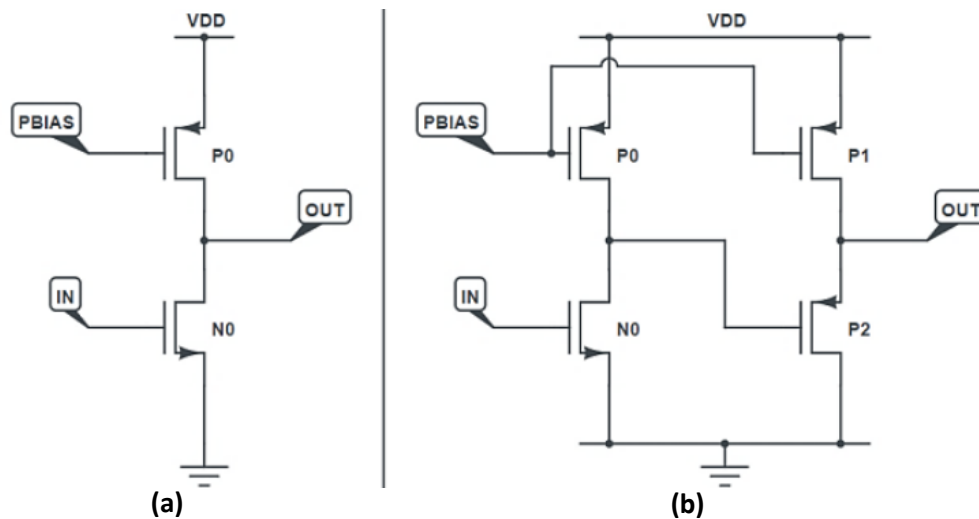


Figure 96. Architectures d'amplificateur : (a) un étage ; (b) deux étages

Les deux architectures de la Figure 96 ont été simulées et comparées en Figure 97, sous $V_{DD} = 3$ V, à température ambiante et en procédé typique. Pour cette comparaison, la polarisation PBIAS est imposée par une source de tension idéale et une résistance idéale de 25 MΩ est connectée à chaque architecture. La Figure 97 montre l'évolution de la consommation en fonction de G_m , obtenue par élargissement de P0 (un étage) ou de P1 (deux étages). Les résultats montrent que l'architecture à deux étages consomme moins que l'architecture à un étage pour atteindre des valeurs élevées de G_m .

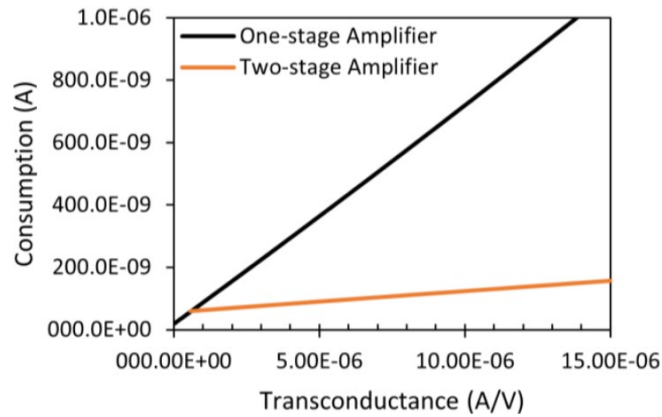


Figure 97. Consommation en fonction de la transconductance : amplificateurs à un étage et à deux étages

Le Tableau 11 confirme l'intérêt de l'architecture à deux étages pour les modes ULD et MHD : elle réduit à la fois la consommation et la surface de l'amplificateur, avec un gain d'autant plus marqué que le G_m visé est élevé.

Tableau 11. Comparaison de la consommation et de la surface des architectures à 1 et 2 étages selon G_m

Transconductance	1.1 $\mu\text{A/V}$		10.5 $\mu\text{A/V}$	
Mode équivalent	ULD		MHD	
Amplificateur	1 étage	2 étages	1 étage	2 étages
Consommation [nA]	96	64	775	128
Surface [μm^2]	322.8	204.1	3042.8	460.1

4.5.4.3 Résultats de simulations et expérimentaux de l'oscillateur complet

L'oscillateur complet a ensuite été simulé puis intégré en boîtier LGA101. Les mesures ont été réalisées avec un quartz 32.768 kHz [NDK 2003] ($C_L = 6$ pF, $\text{ESR} = 70$ k Ω , $C_0 = 1.5$ pF), en tenant compte des capacités parasites de carte extraites sous Ansys pour fixer C_1 et C_2 autour de 6.4 pF. Les cinq modes de pilotage ont été testés avec ce même quartz : l'oscillateur démarre dans tous les cas et fournit un signal d'horloge en sortie. En modes ULD et MHD, la fréquence mesurée est de 32.766 kHz (Figure 98), le léger écart à 32.768 kHz étant attribué au choix de valeurs normalisées pour C_1 et C_2 .

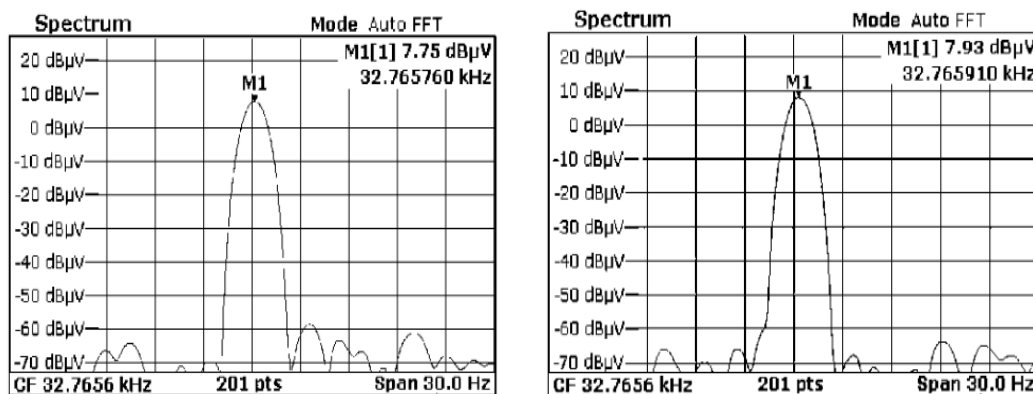


Figure 98. Mesures de fréquence : (a) mode ULD ; (b) mode MHD.

La Figure 99 compare les consommations simulées et mesurées en fonction de la tension d'alimentation. Les mesures sont cohérentes avec les simulations, avec un léger décalage à la hausse. En mode ULD, l'oscillateur présente une consommation inférieure à 100 nA. Ce résultat est obtenu avec un quartz plutôt adapté au mode MHD, ce qui indique qu'une optimisation supplémentaire reste possible pour un quartz spécifiquement ciblé ULD.

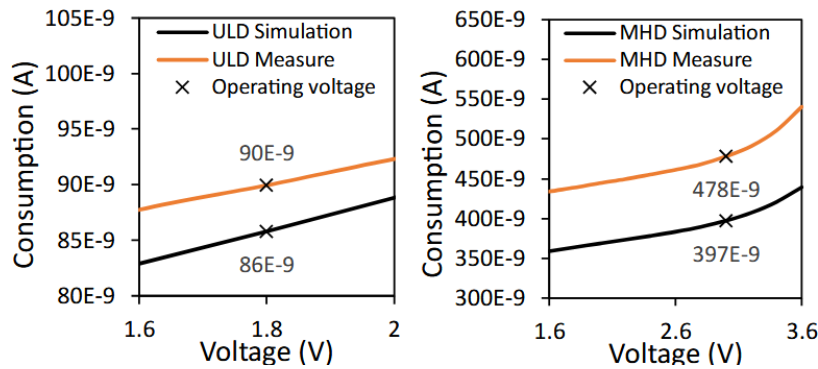


Figure 99. Consommation de l'oscillateur complet en fonction de la tension d'alimentation : simulation et mesure pour les modes ULD et MHD

4.5.4.4 Comparaison avec d'autres travaux

Le Tableau 12 compare les performances obtenues avec plusieurs oscillateurs publiés. La comparaison avec un oscillateur RC [Griffith et al. 2014] montre qu'un oscillateur à quartz peut offrir une précision fréquentielle bien supérieure pour une consommation et une surface du même ordre de grandeur. D'autres travaux annoncent des consommations plus faibles, mais dans des conditions d'alimentation très particulières, par exemple à 0.5 V [Hsiao 2014] ou autour de 60 mV [Siniscalchi et al. 2020], moins représentatives d'un environnement microcontrôleur généraliste.

Les architectures à driver pulsé [Yoon et al. 2016] permettent également de réduire la consommation, mais au prix d'une complexité plus importante, avec capacités commutées, domaines d'alimentation multiples et surface supplémentaire. Enfin, la comparaison doit être interprétée en tenant compte de l'ESR du quartz utilisé. Les quartz miniaturisés actuels présentent souvent une ESR plus élevée, ce qui augmente $G_{m,crit}$ et rend la réduction de consommation plus difficile.

Tableau 12. Résumé des performances et comparaison avec d'autres travaux

Parameter	This Work		[Griffith et al. 2014]	[Asl et al. 2014]	[Ruffieux et al. 2016]	[Hsiao 2014]	[Shrivastava et al. 2016]	[Yoon et al. 2016]	[Siniscalchi et al. 2020]
Frequency [Hz]	32 768		33 000	32 768	32 768	32 768	32 768	32 768	32 768
Process [nm]	18		65	180	350	28	130	180	130
Voltage [V]	1.6 – 2.0	1.6 – 3.6	-	1.5 – 4.5	1.5 – 5.5	0.15 – 0.5	0.3 – 0.9	0.94 – 1.8	0.06 – 0.1
Temp. [°C]	0 – 85	-40 – 125	0 – 80	-40 – 85	-40 – 85	-20 – 80	0 – 80	-20 – 80	5 – 62
Power @25°C	162 nW 90nA@1.8V	1440 nW 480nA@3V	190 nW	3300 nW 1μA@3.3V	720 nW 240nA@3V	28 nW 56nA@0.5V	500 nW 556nA@0.9V	153 nW 85nA@1.8V	15 nW 250nA@0.06V
Area [mm²]	0.022		0.015	0.8	0.36	0.03	0.0625	0.3	0.0065
ESR of crystal used [kΩ]	70	90	No XTAL	40	-	-	30	35	15
Type of oscillator	XO ULD Mode	XO MHD Mode	RC	TCXO	XO	XO	XO	Pulsed Driver XO	XO

4.5.4.5 Conclusion sur l'architecture d'oscillateur à quartz proposée

Cette étude montre donc que l'amplificateur à deux étages permet de réduire la consommation et la surface, tout en maintenant une transconductance suffisante pour garantir le démarrage de l'oscillateur. Le gain est particulièrement marqué pour les modes nécessitant un G_m élevé, ce qui rend cette architecture pertinente pour les quartz miniaturisés ou à ESR importante. En revanche, l'utilisation de modes de pilotage suppose de connaître les caractéristiques du quartz et d'adapter la configuration. **Cette limite motive la section suivante, consacrée à une architecture multi-références visant à simplifier l'usage final. Ces travaux sont présentés en détail au chapitre 3 de la thèse de M. Brun et ont fait l'objet d'une soumission à la revue Analog Integrated Circuits and Signal Processing (ALOG).**

4.5.5 Conception d'un oscillateur à quartz multi-références

La démarche adoptée repose sur la définition d'un cahier des charges en transconductance à partir d'un large ensemble de références de quartz, puis sur l'adaptation de l'architecture d'oscillateur à amplificateur à deux étages, présentée précédemment, aux contraintes liées à la diversité des quartz. Elle s'appuie enfin sur une phase de simulations et de **validation sur silicium**.

4.5.5.1 Définition du domaine de fonctionnement et sélection des quartz de validation

La conception d'un oscillateur multi-références consiste d'abord à traduire la dispersion des quartz 32.768 kHz en une spécification circuit exploitable. À partir d'environ 250 références issues de 10 fabricants, l'analyse des datasheets montre une forte dispersion des paramètres ESR et C_L , et donc des transconductances remarquables de Vittoz ($G_{m,crit}$, $G_{m,opt}$, $G_{m,max}$). Après application des marges industrielles, aucune valeur unique de $G_{m,design}$ ne permet de couvrir l'ensemble des quartz en conservant une contrainte centrée sur $G_{m,opt}$.

Un sous-ensemble représentatif a donc été retenu, avec $ESR \leq 80 \text{ k}\Omega$ et $C_L \geq 6 \text{ pF}$, soit environ 150 références. En relâchant la contrainte centrée sur $G_{m,opt}$ au profit d'une plage comprise entre $G_{m,crit}$ et $G_{m,max}$, puis en considérant une capacité parasite réaliste $C_{p0} = 1 \text{ pF}$, la fenêtre cible obtenue est : $16 \mu\text{A/V} \leq G_{m,design} \leq 37 \mu\text{A/V}$. Cette fenêtre constitue la spécification centrale : la valeur nominale et les variations PVT de l'amplificateur doivent y rester pour garantir le démarrage sur l'ensemble des quartz visés.

Pour valider l'approche, sept références de quartz ont été choisies de manière contrastée, certaines dans la zone cible et d'autres en limite ou hors zone. Trois composants par référence ont été caractérisés par analyse d'impédance afin d'extraire R_m , L_m , C_m et C_0 . La Figure 100 compare le positionnement datasheet et mesuré dans le plan $ESR-C_L$. Les capacités C_L mesurées restent globalement proches des datasheets, tandis que les ESR mesurées sont souvent plus faibles, ce qui est cohérent avec des valeurs datasheet généralement spécifiées en maximum. Cette campagne montre qu'une sélection fondée uniquement sur les datasheets reste insuffisante pour une conception générique.

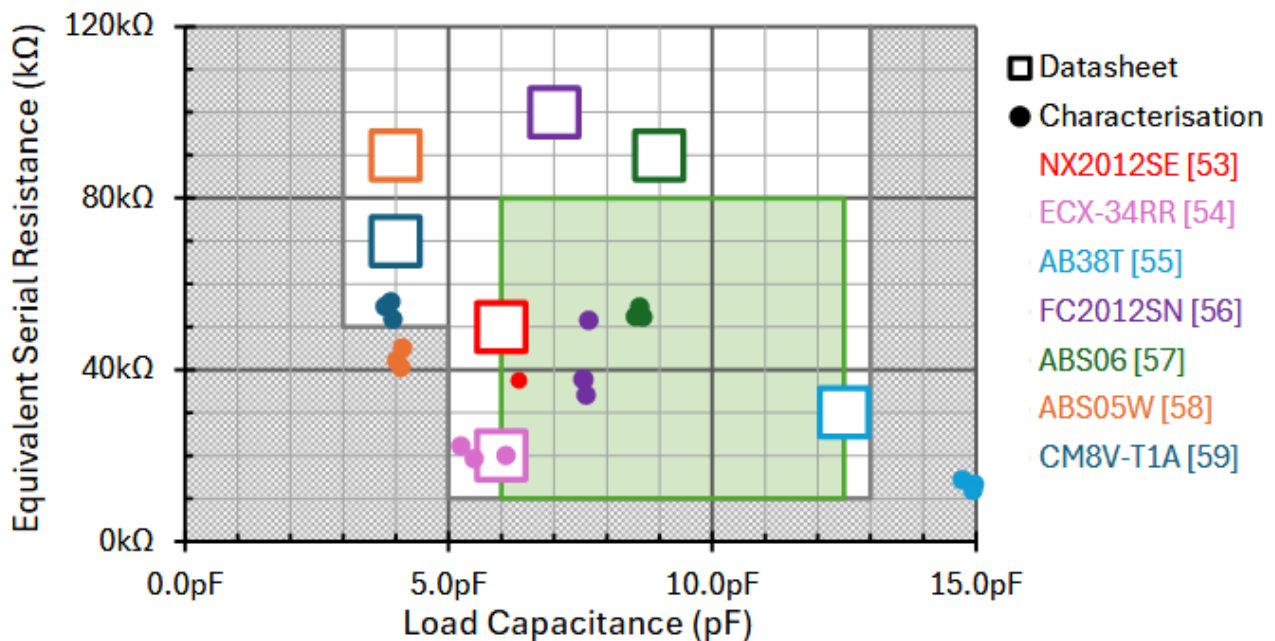


Figure 100. Résultats de caractérisation des quartz dans le plan $ESR-C_L$

4.5.5.2 Conception de l'oscillateur à quartz sans mode (multi-références)

L'architecture proposée (Figure 101) reprend le principe de l'amplificateur à deux étages, mais supprime les modes de pilotage afin de simplifier l'usage final. L'amplificateur conserve une structure à deux étages, avec une évolution du premier étage vers une structure d'inverseur, permettant d'augmenter légèrement la transconductance sans surcoût de consommation. Un bloc de polarisation de type β -multiplier est utilisé pour générer les tensions de polarisation, notamment PBIAS.

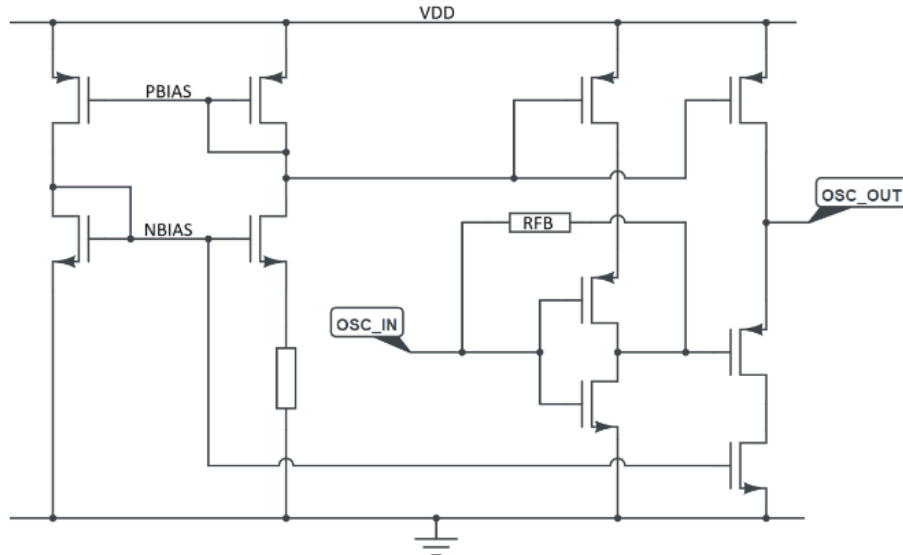


Figure 101. Architecture de l'oscillateur à quartz sans mode

4.5.5.3 Simulation post-layout de l'oscillateur à quartz sans mode

Des simulations post-layout ont été menées pour évaluer $G_{m,design}$ de l'amplificateur sur l'ensemble des cas PVT. Les résultats, synthétisés sur la Figure 102, sont comparés à la plage cible définie pour la conception, soit $16 \mu A/V \leq G_{m,design} \leq 37 \mu A/V$. La transconductance minimale obtenue est d'environ $22.3 \mu A/V$ et la maximale d'environ $33.7 \mu A/V$. Tous les cas simulés restent donc dans la plage visée.

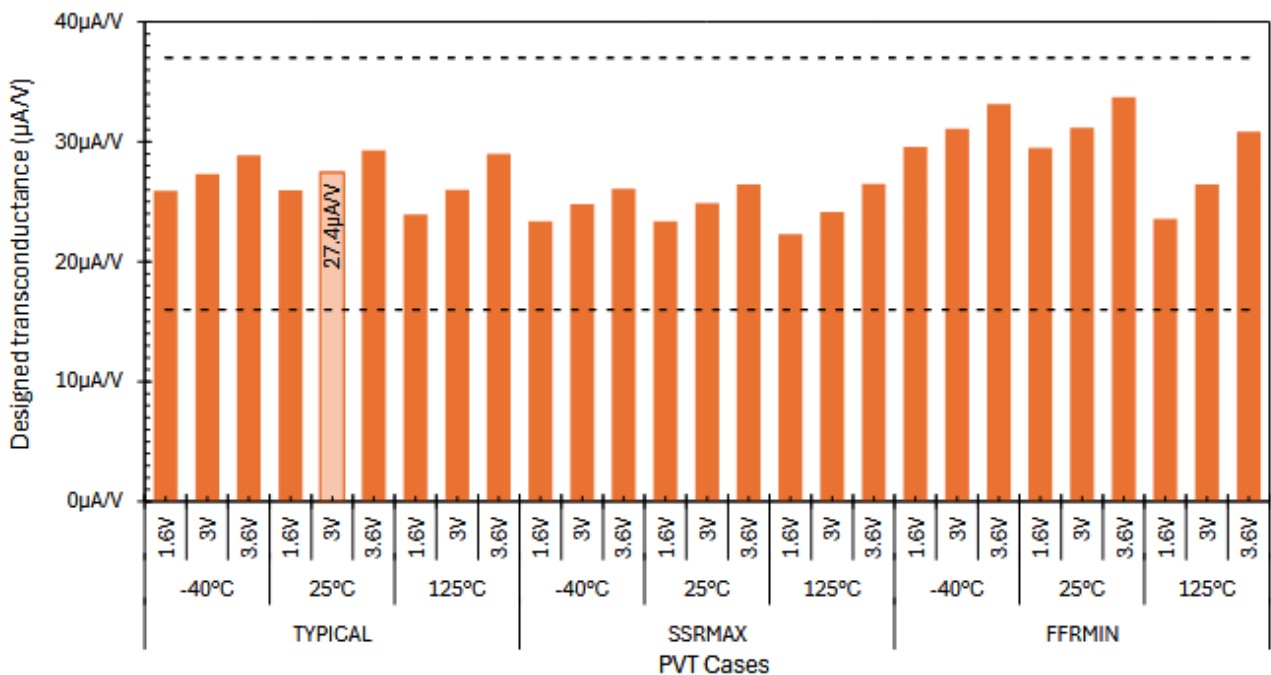


Figure 102. Simulations post-layout du $G_{m,design}$ de l'amplificateur sur l'ensemble des cas PVT

Le fonctionnement de l'oscillateur a été vérifié en simulation post-layout avec les sept quartz réels, en conditions typiques afin de limiter les temps de calcul. Les résultats montrent un rapport cyclique compris dans la plage cible de 30 à 70 %, avec des temps de démarrage compris entre 167 et 413 ms. Ces résultats constituent une première validation fonctionnelle du dimensionnement avant mesures.

La Figure 103 compare la consommation de l'amplificateur à deux étages à celle d'une architecture classique à un étage, sur la plage cible de transconductance. La réduction de consommation correspond à un facteur compris entre 7 et 9, confirmant l'intérêt de l'architecture à deux étages pour atteindre des valeurs élevées de G_m avec une consommation réduite.

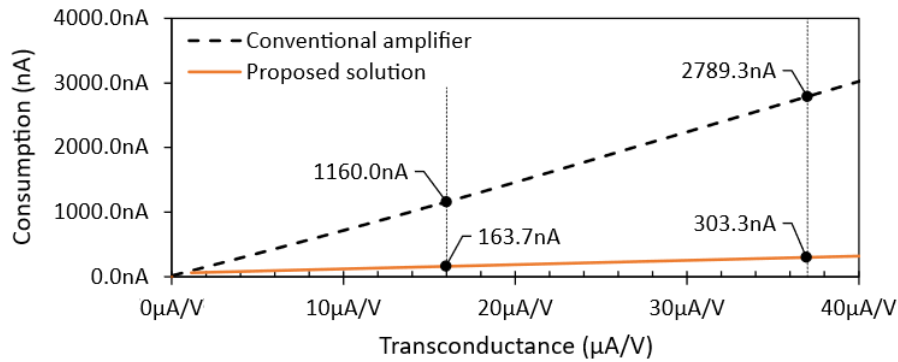


Figure 103. Consommation en fonction de la transconductance des amplificateurs à 1 et 2 étages

Une étude $Z_C(I_C)$, fondée sur le formalisme de Vittoz, a également été réalisée afin d'évaluer la stabilité et la prédictibilité de la fréquence finale. La Figure 104 superpose la trajectoire théorique $Z_C(G_m)$, la trajectoire simulée, la trajectoire $Z_C(I_C)$ issue de la simulation transitoire et la plage d'ESR visée, de 10 à 100 k Ω . L'intersection entre $Z_C(I_C)$ et la zone ESR définit le point de stabilisation. La pente locale observée, d'environ -0.1, indique une faible sensibilité aux variations d'ESR et donc une bonne robustesse fréquentielle dans la plage de quartz visée.

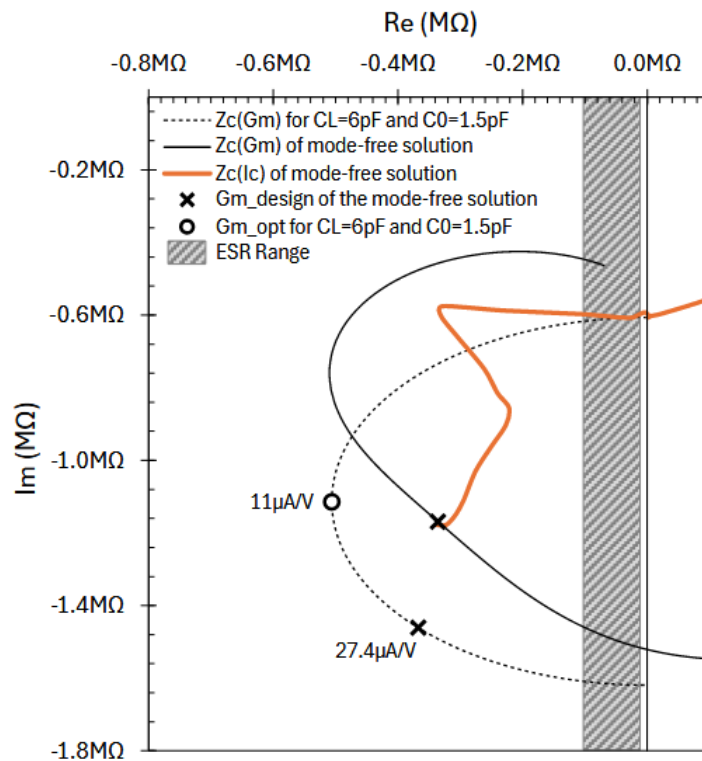


Figure 104. Simulation $Z_C(I_C)$ de la solution sans mode pour $C_1 = C_2 = 2 pF$ et $C_0 = 1.5 pF$

4.5.5.4 Implémentation et mesures de l'oscillateur à quartz sans mode

La solution sans mode a été implémentée sur une carte d'évaluation dédiée, donnant accès aux nœuds OSC_IN, OSC_OUT et à la sortie horloge. L'oscillateur dispose d'un domaine d'alimentation propre afin de mesurer directement sa consommation. La Figure 105 présente la carte, le boîtier, la puce et le quartz. La surface du circuit oscillateur est d'environ 0.018 mm^2 , incluant la source de courant, l'amplificateur, la résistance de contre-réaction et le circuit de mise en forme.

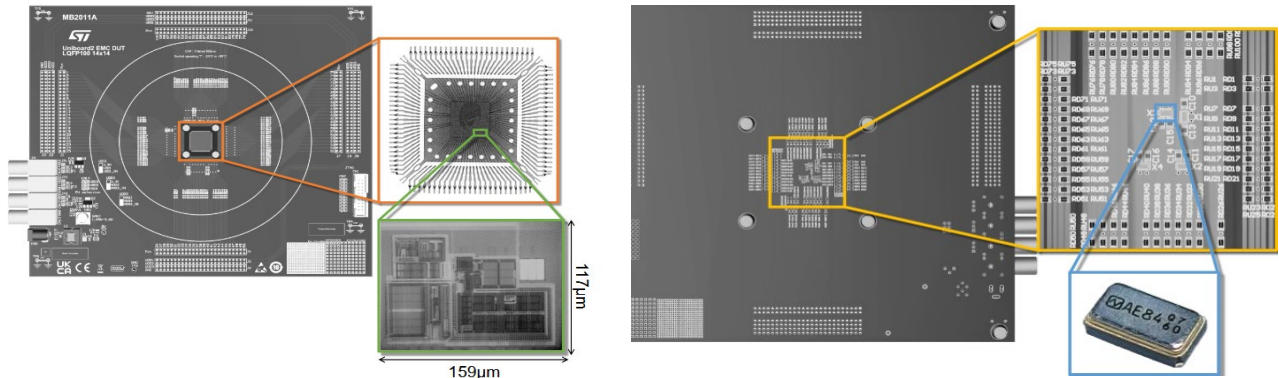


Figure 105. Carte d'évaluation avec le circuit oscillateur sur une face et le quartz sur l'autre face

Le boîtier QFP utilisé est identique à celui de la première implémentation avec modes. Les configurations avec pistes courtes ou longues conduisent aux mêmes valeurs extraites que précédemment : en ponts ouverts, $C_{p0} = 0.95 \text{ pF}$ et $C_s = 1.66 \text{ pF}$; en ponts fermés, $C_{p0} = 1.33 \text{ pF}$ et $C_s = 4.99 \text{ pF}$.

Les méthodes de mesure, détaillées dans la thèse de M. Brun, montrent un fonctionnement conforme sur les sept quartz testés. Les fréquences restent proches de 32.768 kHz, la stabilité fréquentielle est cohérente avec les datasheets, le rapport cyclique reste dans la plage attendue de 30 à 70 % (mesuré entre 44 % et 65 %) et le temps de démarrage est d'environ 350 ms pour le quartz [NDK 2003], en accord avec les simulations. La Figure 106 présente la déviation fréquentielle en température et le rapport cyclique sur l'ensemble de la plage tension-température.

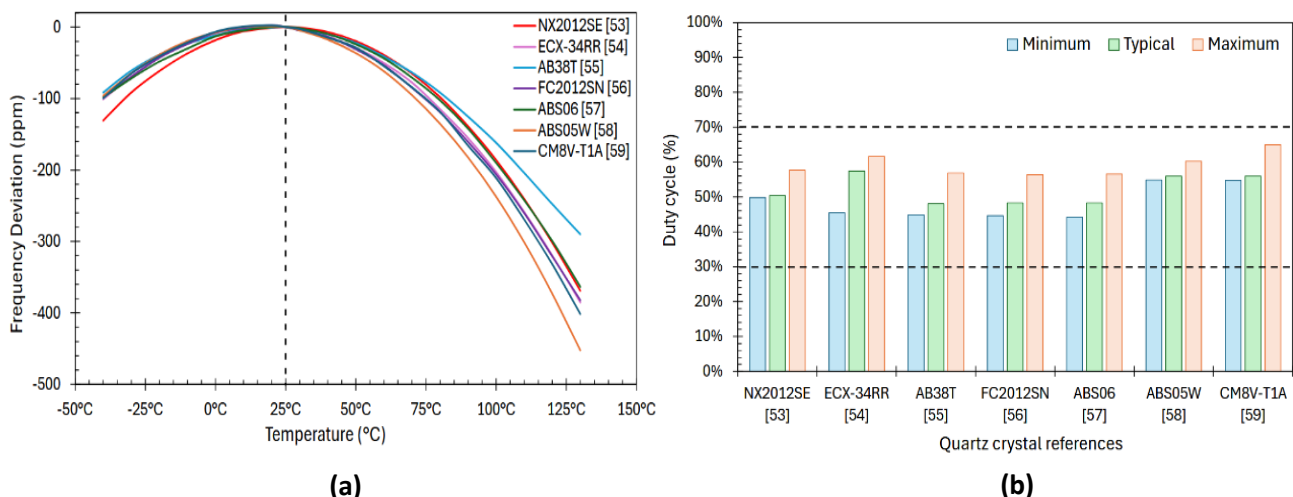


Figure 106. Mesures de l'oscillateur avec 7 références de quartz : (a) déviation fréquentielle en température ; (b) rapport cyclique en cas typique et bornes min/max sur l'ensemble de la plage tension-température.

La consommation (Figure 107) est mesurée directement en surveillant le courant d'alimentation, avec le quartz ABS06 [ABRACON 2020], pour trois températures (-40°C, 25°C et 130°C) et sur toute la plage de tension d'alimentation, puis comparée aux simulations.

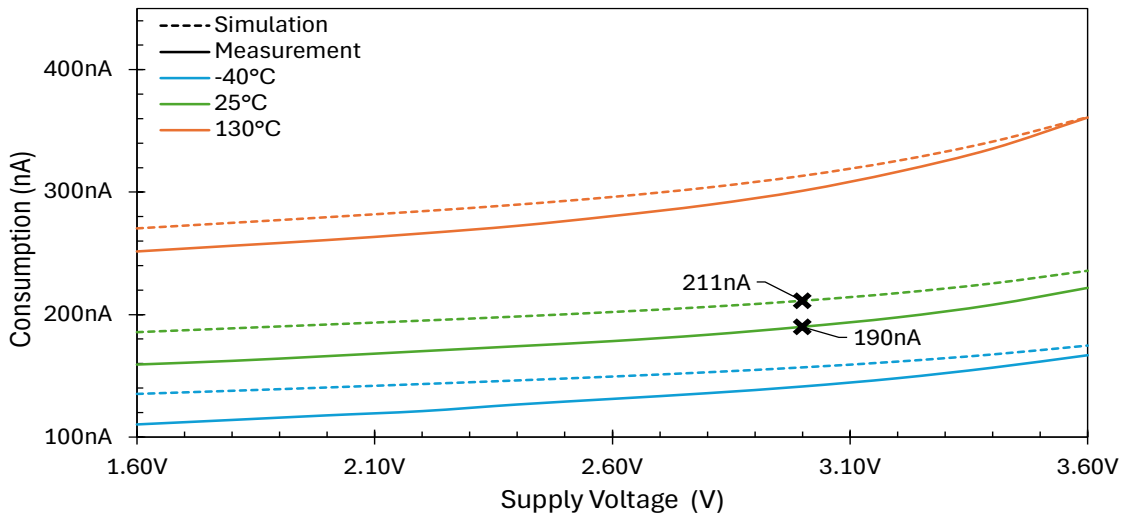


Figure 107. Mesures et simulations de la consommation en fonction de la tension d'alimentation

Une mesure d'impédance pendant le démarrage (assimilée à une étude $Z_C(I_C)$) a également été réalisée à l'aide du pont RLC Keysight E4980AL [KEYSIGHT 2020], basé sur un système de pont auto-équilibré. Les résultats ne sont donc pas directement comparables aux simulations $Z_C(I_C)$ de la Figure 107, car le montage de test à deux ports impose un port LOW en masse virtuelle et l'impédance est mesurée depuis OSC_IN ou OSC_OUT, et non entre les deux broches. Une simulation reproduisant ce montage de mesure a également été menée ; les résultats de simulation et de mesure sont présentés sur la Figure 108a (OSC_IN sur le port HIGH) et sur la Figure 108b (OSC_OUT sur le port HIGH).

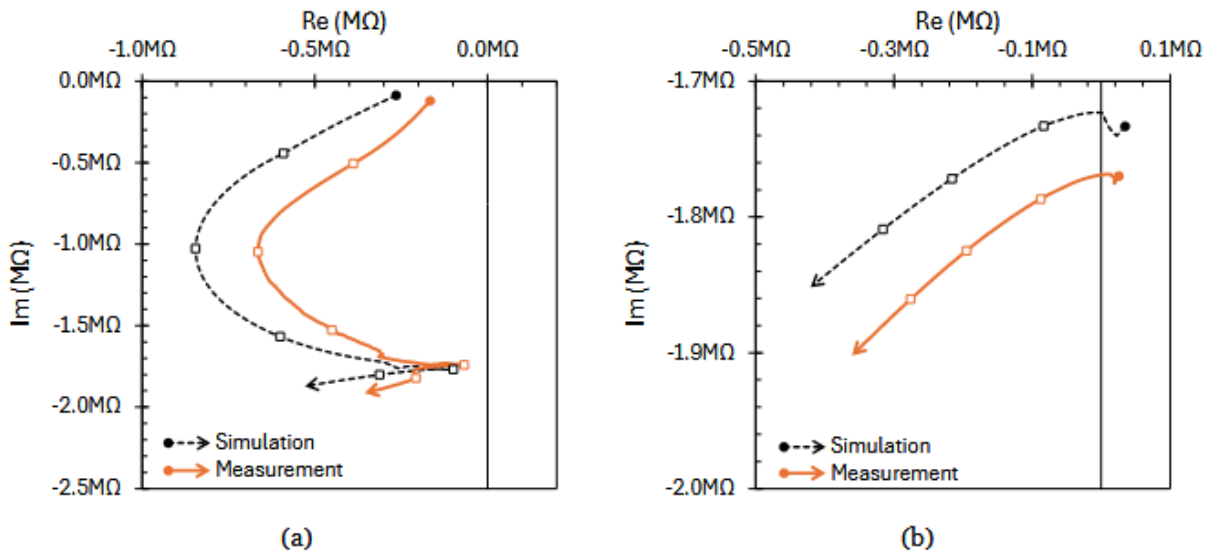


Figure 108. Résultats d'impédance pendant la phase de démarrage de l'oscillateur dans le plan complexe depuis : (a) la broche OSC_IN ; (b) la broche OSC_OUT

Par ailleurs, en simulation comme en mesure, les courbes rendent compte de l'évolution de l'impédance lorsque l'amplitude du signal injecté augmente, ce qui permet une comparaison cohérente des trajectoires dans les deux sens de connexion. Bien que ces résultats ne soient pas directement comparables à l'étude $Z_C(I_C)$ de Vittoz, la forte corrélation simulation/mesure observée sur la Figure 108 confirme le comportement global d'impédance de l'oscillateur pendant le démarrage. Elle soutient aussi la validité du comportement $Z_C(I_C)$ prédit en simulation. Cela renforce l'idée que l'architecture à deux étages améliore la stabilité et la prédictibilité de la fréquence finale d'oscillation, en réduisant fortement sa sensibilité aux variations d'ESR du quartz dans la plage visée.

4.5.5.5 Etude des limites de la solution

Un résultat important de la thèse est que les limites de fonctionnement de la solution sans mode ne doivent pas être définies uniquement à partir des caractéristiques du quartz (ESR, C_L , C_0), mais aussi à partir des capacités parasites maximales admissibles, en particulier C_{p0} . La solution reste fonctionnelle au-delà des spécifications initiales, notamment pour certains quartz à plus faible C_L , à condition de maîtriser les parasites d'intégration. Pour $C_L \geq 6$ pF, la marge sur C_{p0} reste confortable, au moins 2 pF, tandis que les quartz à $C_L = 3$ pF imposent un contrôle plus strict du packaging et du routage.

Une méthode pratique de dimensionnement est proposée sous forme d'abaques afin de déduire, à partir des caractéristiques du quartz et des conditions PVT, les contraintes de parasites à respecter au niveau boîtier/carte. L'abaque de limitation de C_{p0} (Figure 109) donne par exemple la valeur maximale admissible de C_{p0} en fonction des paramètres du quartz. Il permet une lecture rapide du niveau de contrainte de mise en œuvre : des zones rouges (contraintes inatteignables) jusqu'aux zones bleues (conditions favorables), en passant par des niveaux intermédiaires (orange/jaune/vert) correspondant à des efforts croissants de maîtrise du packaging et du routage. Les détails de la démarche, incluant les tests de démarrage sur 27 cas PVT et les critères associés, sont présentés dans la thèse de M. Brun.

CL		3.0pF				6.0pF				9.0pF				12.5pF			
ESR		20kΩ	50kΩ	80kΩ	120kΩ	20kΩ	50kΩ	80kΩ	120kΩ	20kΩ	50kΩ	80kΩ	120kΩ	20kΩ	50kΩ	80kΩ	120kΩ
C0 value	0.7pF	1.6pF	1.4pF	1.2pF	1.0pF	4.2pF	3.4pF	3.0pF	2.6pF	≥5pF	≥5pF	4.6pF	4.0pF	≥5pF	≥5pF	≥5pF	≥5pF
	1.0pF	1.6pF	1.4pF	1.2pF	1.0pF	4.0pF	3.4pF	3.0pF	2.4pF	≥5pF	≥5pF	4.4pF	3.8pF	≥5pF	≥5pF	≥5pF	≥5pF
	1.2pF	1.6pF	1.4pF	1.0pF	0.8pF	4.0pF	3.4pF	2.8pF	2.4pF	≥5pF	≥5pF	4.4pF	3.6pF	≥5pF	≥5pF	≥5pF	≥5pF
	1.4pF	1.6pF	1.2pF	1.0pF	0.8pF	4.0pF	3.2pF	2.8pF	2.2pF	≥5pF	≥5pF	4.2pF	3.6pF	≥5pF	≥5pF	≥5pF	≥5pF
	1.6pF	1.6pF	1.2pF	1.0pF	0.6pF	4.0pF	3.2pF	2.6pF	2.2pF	≥5pF	≥5pF	4.2pF	3.4pF	≥5pF	≥5pF	≥5pF	4.8pF
	1.8pF	1.6pF	1.2pF	0.8pF	0.6pF	3.8pF	3.0pF	2.6pF	2.0pF	≥5pF	4.8pF	4.0pF	3.4pF	≥5pF	≥5pF	≥5pF	4.8pF
	2.0pF	1.4pF	1.0pF	0.8pF	0.6pF	3.8pF	3.0pF	2.4pF	2.0pF	≥5pF	4.8pF	4.0pF	3.2pF	≥5pF	≥5pF	≥5pF	4.6pF

Figure 109. Abaque de limitation de C_{p0}

4.5.5.6 Comparaison avec d'autres travaux

Le Tableau 13 situe la solution sans mode par rapport à d'autres oscillateurs à quartz 32.768 kHz, selon la consommation et la capacité à gérer plusieurs références de quartz. Son principal intérêt est sa compatibilité multi-quartz sans configuration utilisateur, contrairement à la solution basse consommation précédente, qui nécessite une sélection de mode selon le quartz utilisé.

La solution sans mode conserve une consommation faible, environ 190 nA à 3 V en conditions typiques, tout en couvrant une large plage de tension (1.6 à 3.6 V), une plage de température étendue (-40 à 130°C) et une large diversité de quartz (ESR de 20 à 100 kΩ, C_L de 4 à 12.5 pF). Certaines solutions de l'état de l'art affichent des consommations plus faibles, mais souvent dans des conditions plus spécifiques (faible tension, plage thermique réduite ou quartz unique). L'objectif visé ici est un fonctionnement robuste, prédictible et facilement intégrable sur une grande diversité de quartz et de contextes d'usage. Avec une surface de 0.018 mm², **la solution reste compatible avec une intégration en circuit mixte. Elle combine ainsi basse consommation, compatibilité multi-quartz, absence de configuration utilisateur et robustesse d'usage.**

Tableau 13. Comparaison des solutions basse consommation et sans mode avec d'autres travaux

Parameter	Low-power solution		Mode-free solution	[Griffith et al. 2014]	[Asl et al. 2014]	[Hsiao 2014]	[Ruffieux et al. 2016]	[Shrivastava et al. 2016]	[Yoon et al. 2016]	[Siniscalchi et al. 2020]		[Zhu et al. 2024]
Frequency (kHz)	32.768		32.768	33.000	32.768	32.768	32.768	32.768	32.768	32.768		32.793
Process (nm)	18		18	65	180	28	350	130	180	130		22
Voltage Range (V)	1.6 - 2.0	1.6 - 3.6	1.6 - 3.6	-	1.5 - 4.5	0.15 - 0.5	1.5 - 5.5	0.3 - 0.9	0.94 - 1.8	0.06 - 0.1		0.25 - 0.5
Temperature Range (°C)	0 - 85	-40 - 125	-40 - 130	0 - 80	-40 - 85	-20 - 80	-40 - 80	0 - 80	-20 - 80	5 - 62		-40 - 125
Multi Crystal Solution	YES BUT (<i>with configuration phase</i>)		YES	No Xtal	NO	NO	NO	NO	NO	NO (<i>One design for each crystal</i>)		NO
Power@25°C	162nW 90nA @1.8V	1440nW 480nA @3V	570nW 190nA @3V	190nW	3300nW 1µA @3.3V	28nW 56nA @0.5V	720nW 240nA @3V	500nW 556nA @0.9V	153nW 85nA @1.8V	2.4nW 40nA @0.06V	15nW 250nA @0.06V	0.72nW 2.4nA @0.3V
Area (mm ²)	0.022		0.018	0.015	0.8	0.03	0.36	0.0625	0.3	0.0033	0.0065	0.0062
Quartz crystal used	NX1610SA		NX2012SE ; ECX-34RR ; AB38T ; FC2012SN ; ABS06 ; ABS05W ; CM8V-T1A	-	MEMS	-	-	-	ECS-2X6-FLX	ABS07W	AB38T	ABS05W
ESR of crystal used (kΩ)	70	90	20 - 100	-	40	-	-	30	35	38	15	65
C _L of crystal used (pF)	6		4 - 12.5	-	-	-	-	6	12.5	3	12.5	4
ESR spec. (kΩ)	55	50	20 - 80	-	-	-	>1000	-	30	-	Low value	-
C _L spec. (pF)	3	12.5	6 - 12.5	-	-	-	Very low	-	5-10	Low value	-	-
Type of oscillator	ULD_1V8 driving mode XO	MHD driving mode XO	General-Purpose XO	RC Oscillator	TCXO MEMS Oscillator	Self-Charged XO	DTCXO	XO	Pulsed Driver XO	Ultra-Low Voltage XO		Pulse Injection XO

4.5.5.7 Conclusions et perspectives sur les travaux de conception d'un oscillateur à quartz

Les travaux présentés aboutissent à un ensemble cohérent de résultats sur la conception d'oscillateurs Real-Time Clock (RTC) 32.768 kHz basse consommation pour microcontrôleurs. **Trois apports principaux se dégagent : l'adaptation du formalisme de Vittoz au dimensionnement en présence de variabilités réelles, la démonstration d'une solution très basse consommation à modes de pilotage, et la mise au point d'une solution multi-références sans configuration utilisateur.**

Le premier apport est méthodologique. **L'exploitation conjointe des analyses $Z_C(G_m)$ et $Z_C(I_C)$, associée à une modélisation plus réaliste des capacités parasites, permet de dimensionner l'amplificateur tout en anticipant la robustesse du démarrage et la sensibilité de la fréquence finale.** Cette démarche met en évidence l'intérêt de l'architecture à deux étages, qui améliore la stabilité et réduit la sensibilité aux variations d'ESR.

Le deuxième apport est la **validation d'une solution très basse consommation à modes de pilotage, capable d'atteindre des consommations inférieures à 100 nA** dans des conditions ciblées. Cette solution confirme l'intérêt des choix architecturaux retenus, mais reste dépendante du quartz utilisé et d'une logique de configuration.

Le troisième apport, le plus abouti en vue d'une intégration industrielle, est la **solution sans mode. Elle fonctionne avec une large gamme de quartz sans configuration utilisateur, avec une consommation typique d'environ 190 nA à 3 V.** Les simulations et mesures confirment un fonctionnement correct sur une large plage de tension, de température et de références de quartz. Elles montrent également que les limites de fonctionnement doivent être définies non seulement par les paramètres intrinsèques du quartz, mais aussi par les capacités parasites admissibles, en particulier C_{p0} . Les abaques proposés relient ainsi directement la compatibilité d'un quartz aux contraintes de boîtier et de routage.

La principale limite des travaux tient au fait que la solution a été validée sous l'angle fonctionnel, mais que sa **qualification industrielle reste à compléter. Les perspectives portent donc sur une caractérisation plus complète de la robustesse : CEM/EMI, DPI, sensibilité à l'alimentation, vieillissement et contraintes d'intégration carte/boîtier. Une deuxième piste consiste à développer une architecture à deux modes (via un bit de configuration), permettant de choisir entre une version très basse consommation et une version plus polyvalente.** Enfin, **l'exploration de résonateurs MEMS constitue une perspective pertinente** en raison de leur compacité et de leur potentiel de réduction des capacités parasites.

Dans le prolongement de ces travaux sur les fonctions analogiques des microcontrôleurs, une seconde problématique partenariale a été engagée autour de l'interface USB. La thèse en cours de Damien Blanc porte sur la maîtrise et la calibration sur puce de la résistance de sortie d'un port USB 2.0 en technologie FDSOI 18 nm. Dans ce cadre, j'apporte mon expertise en conception analogique intégrée et en méthodologie de dimensionnement, et j'assure le co-encadrement de cette thèse à hauteur de 30 %.

La section suivante présente le contexte et les objectifs de la thèse ainsi que les premiers résultats soumis à la conférence ICECS 2026.

4.6 Calibration sur puce de la résistance de sortie d'un port USB 2.0

L'interface USB 2.0 constitue une fonction présente dans de nombreux microcontrôleurs. Parmi les paramètres électriques à maîtriser, la résistance de sortie du buffer de transmission occupe une place centrale, car elle conditionne la conformité du port, l'intégrité du signal transmis et la robustesse globale de l'interface.

Les travaux en cours visent à garantir la conformité de la résistance de sortie d'un port USB 2.0 en technologie FDSOI 18 nm, en modes Low-Speed et Full-Speed, en proposant une calibration intégrée compatible avec les contraintes industrielles de surface, de consommation et de rendement. Ces travaux reposent sur l'identification de leviers de correction, notamment la génération de références, le trimming de la source de courant et un asservissement analogique appliqué aux nœuds de commande du buffer. L'objectif est ainsi de stabiliser la résistance de sortie sans modifier en profondeur la fonction USB. En perspective, le contrôle dynamique de la grille arrière des transistors FDSOI sera également étudié comme levier complémentaire de stabilisation du point de fonctionnement.

La Figure 110 présente le gabarit normatif dans lequel doit s'inscrire la caractéristique courant-tension du port USB. Elle permet de visualiser la zone de conformité imposée à l'étage de sortie : le comportement électrique du buffer doit rester à l'intérieur de la zone grisée pour satisfaire la norme. Cette représentation fournit ainsi un repère simple pour comprendre la contrainte à respecter.

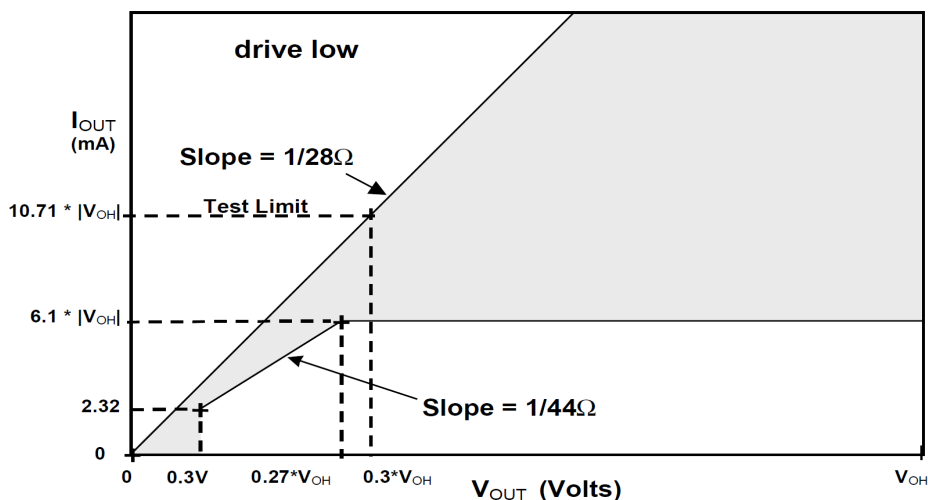


Figure 110. Gabarit normatif de la résistance de sortie USB 2.0 en modes Low-Speed et Full-Speed

Pour comparer les architectures et quantifier leur robustesse, ces travaux utilisent l'indicateur Cpk (process capability index), qui relie la dispersion statistique d'une grandeur à ses limites de spécification. Dans le cas de l'USB 2.0, ces limites sont fixées à 28 Ω et 44 Ω . Un $Cpk \geq 1$ garantit une distribution dans l'intervalle $\pm 3\sigma$, tandis qu'un $Cpk \geq 2$ garantit une distribution dans l'intervalle $\pm 6\sigma$. Cette métrique permet donc de tenir compte à la fois de la valeur moyenne, de la dispersion et du positionnement par rapport aux limites normatives.

Le point de départ de ces travaux est le buffer de sortie du module USB Physical Layer (PHY) en cours de conception chez STMicroelectronics. Cette structure initiale repose sur deux branches de sortie, PMOS ou NMOS, activées selon la valeur du bit transmis. Dans les deux cas, la résistance équivalente dépend du dimensionnement des transistors, de la résistance série, de la tension de seuil et du point de polarisation. Les premières simulations PVT, réalisées avant l'ajout du circuit de compensation, montrent que cette sensibilité est problématique.

Sur les coins PVT, la résistance de sortie peut sortir de la fenêtre normative 28-44 Ω . Le cas le plus défavorable présente un Cpk de seulement 0.62 (distribution $\pm 3\sigma$ non garantie). En effet, dans certains coins PVT, la valeur moyenne se déplace et se rapproche d'une des limites de la norme, ce qui réduit la marge disponible pour absorber la dispersion statistique.

L'architecture proposée conserve la structure générale du buffer USB. Deux transistors de compensation sont introduits dans les branches de sortie (Figure 111a) : l'un dans la partie PMOS, commandé par la tension analogique V_{PCOMP} , et l'autre dans la partie NMOS, commandé par la tension analogique V_{NCOMP} . Le principe général consiste à imposer un couple I_{REF}/V_{REF} (Figure 111b), correspondant au point de fonctionnement visé pour la résistance de sortie. La calibration ajuste alors V_{PCOMP} et V_{NCOMP} afin de maintenir la caractéristique I/V du buffer dans la zone spécifiée, malgré les variations PVT.

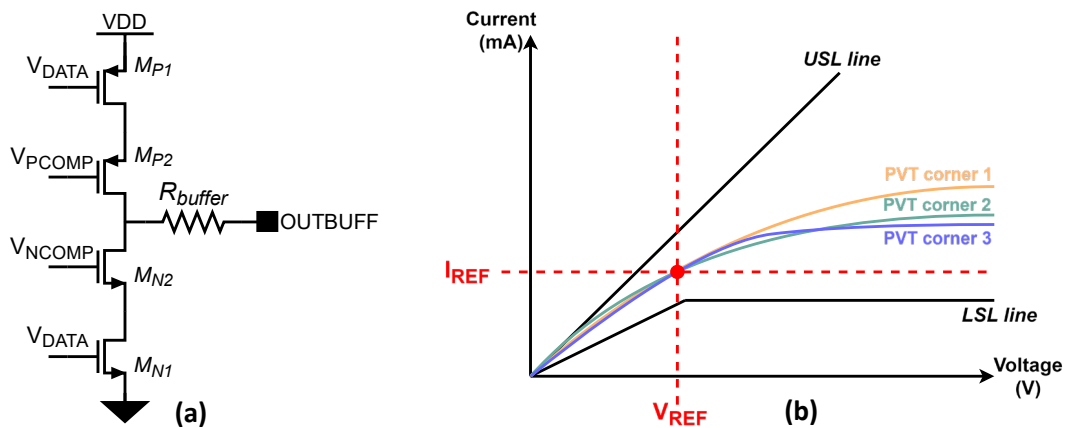


Figure 111. Compensation de R_{OUT} : (a) buffer compensé ; (b) point de fonctionnement I_{REF}/V_{REF} imposé

L'architecture complète est présentée à la Figure 112. Elle est constituée de plusieurs briques complémentaires : le bloc rouge regroupe la source de courant et le trimming, chargés de fournir une référence I_{REF} robuste ; les blocs jaunes génèrent les références de tension ; les blocs bleus correspondent aux copies des parties PMOS et NMOS du buffer ; les blocs violets réalisent les asservissements analogiques ; enfin, le bloc vert correspond au buffer USB principal.

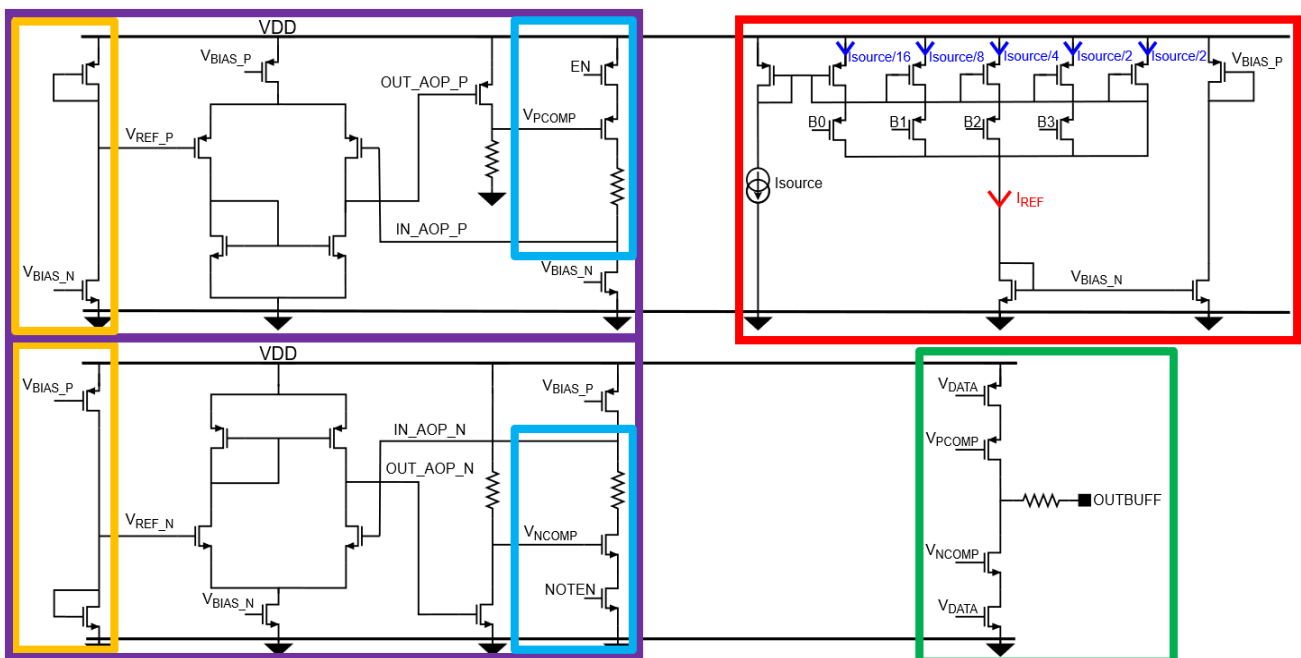


Figure 112. Architecture globale de compensation de la résistance de sortie USB

Le fonctionnement de la compensation est détaillé Figure 113 pour la branche PMOS ; la branche NMOS fonctionne de manière symétrique. La source de courant ajustée par trimming fournit une référence de courant I_{bias_p} (dérivée de I_{REF} via la polarisation V_{BIAS_N}), tandis que la référence V_{REF_P} fixe le point de fonctionnement à atteindre. Le nœud IN_AOP_P mesure la réponse de la copie du buffer. Si une variation PVT modifie cette réponse, l'amplificateur compare IN_AOP_P à V_{REF_P} et corrige sa sortie OUT_AOP_P . Cette correction pilote l'étage 2, parcouru par I_{stage} , qui ajuste la tension V_{PCOMP} appliquée au transistor PMOS de compensation. La boucle ajuste ainsi en continu V_{PCOMP} pour ramener IN_AOP_P vers V_{REF_P} dans la copie PMOS. V_{PCOMP} étant également appliquée au transistor PMOS de compensation du buffer principal, la correction est reportée sur l'étage de sortie réel. Dans cette architecture, l'étage 2 permet de découpler V_{PCOMP} de la sortie de l'amplificateur, afin de limiter l'impact de la compensation sur la réponse transitoire et sur le diagramme de l'œil du module USB PHY. Les simulations Monte-Carlo indiquent une marge de phase supérieure à 40° , validant la stabilité de la boucle.

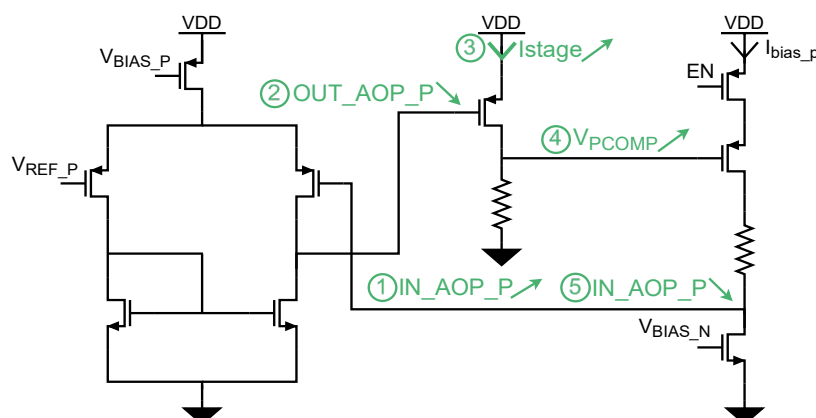


Figure 113. Fonctionnement simplifié de la boucle de régulation de la branche PMOS

La référence de courant constitue un élément clé de l'architecture. Elle est conçue pour fournir un courant de $10\ \mu\text{A}$ et intègre un trimming sur 4 bits. Cette correction est réalisée une seule fois, afin de compenser principalement les dispersions de procédé. Les simulations de Monte-Carlo montrent l'intérêt de cette étape : l'écart-type de la référence de courant passe de $0.72\ \mu\text{A}$ avant trimming à $0.18\ \mu\text{A}$ après trimming, soit une réduction de la dispersion de $7.3\ \%$ à $1.8\ \%$. Le système peut donc être considéré comme essentiellement analogique en fonctionnement, même s'il s'appuie sur une configuration numérique initiale des bits de trimming.

Les résultats de simulation confirment l'efficacité de l'approche. L'architecture de compensation a été intégrée dans l'entrée/sortie USB (I/O USB) complète en technologie FDSOI 18 nm. Les simulations de Monte-Carlo, réalisées avec 1000 tirages sur l'ensemble des coins PVT, montrent que le Cpk reste supérieur à 2 pour les deux états de données. La résistance moyenne reste désormais dans un intervalle réduit, compris entre $32.6\ \Omega$ et $35.3\ \Omega$, alors que la structure initiale présentait un intervalle beaucoup plus large, de $30.5\ \Omega$ à $41.6\ \Omega$ dans les cas critiques. La dispersion est également réduite, avec un écart-type compris entre $0.73\ \Omega$ et $0.91\ \Omega$, contre $1.16\ \Omega$ à $1.38\ \Omega$ sans compensation.

Tableau 14. Synthèse des performances avant et après compensation

Cas étudié	Buffer non compensé	Buffer compensé
Intervalle des valeurs moyennes	$30.5\ \Omega - 41.6\ \Omega$	$32.6\ \Omega - 35.3\ \Omega$
Intervalle des écarts-types	$1.16\ \Omega - 1.38\ \Omega$	$0.73\ \Omega - 0.91\ \Omega$
Cpk minimal	0.62	> 2
Robustesse garantie	$\pm 3\sigma$ non garanti	$\pm 6\sigma$ garanti
Consommation DC maximale	-	2.43 mW

Ces résultats montrent que la compensation améliore le Cpk par une double action : elle recentre la valeur moyenne de la résistance de sortie dans une zone plus favorable du gabarit USB et réduit sa dispersion statistique. Cette combinaison limite le risque de sortie de spécification, contrairement à une correction qui n'agirait que sur la moyenne ou uniquement sur l'écart-type.

La validation post-layout a ensuite été menée sur 27 coins PVT, combinant trois coins de procédé, trois températures et trois tensions d'alimentation. Les résultats post-layout confirment les tendances observées au niveau schématique, avec un Cpk supérieur à 2. Le courant DC maximal extrait des simulations PVT est de 675 μA , ce qui correspond à une consommation maximale d'environ 2.43 mW sous 3.6 V. Cette valeur doit être mise en regard du contexte d'utilisation : la calibration vise une fonction d'interface normalisée, intégrée dans un microcontrôleur, pour laquelle la robustesse électrique et la conformité normative sont prioritaires.

La Figure 114 présente le layout du test chip. La surface de référence de l'I/O USB est d'environ 45 600 μm^2 . Le surcoût associé à la compensation est d'environ 6 540 μm^2 , soit près de 14 % de la surface de l'I/O de référence. Ce surcoût comprend la source de courant avec trimming, le bloc de compensation avec les références de tension, ainsi que les modifications apportées au buffer. Rapporté à la surface totale d'un microcontrôleur, ce surcoût reste limité, tout en permettant un gain important sur la robustesse statistique de la résistance de sortie.

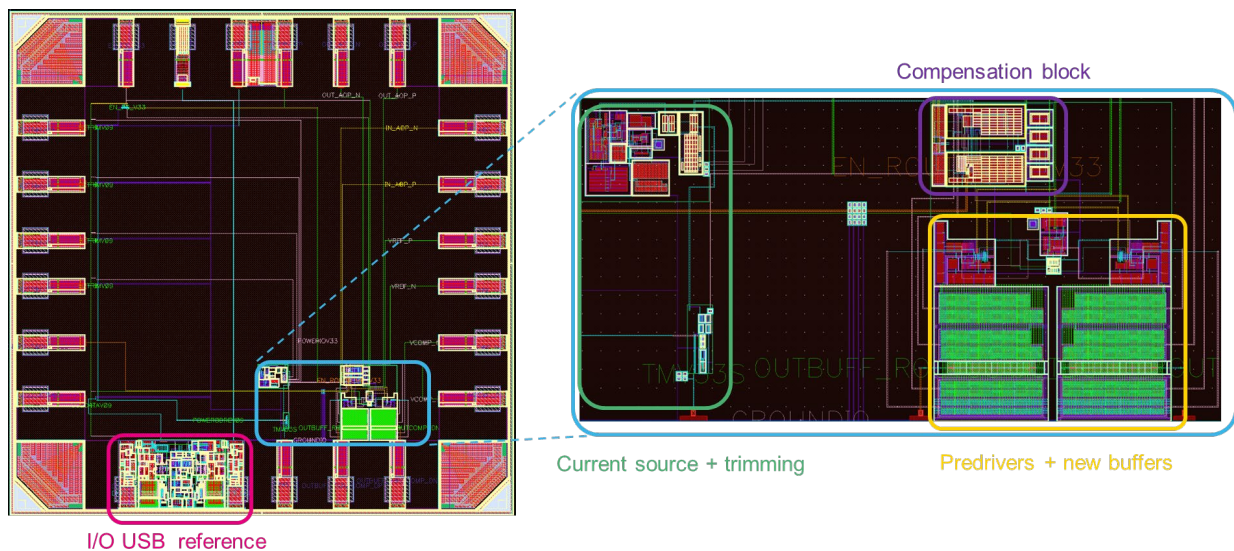


Figure 114. Layout du test chip intégrant le bloc de compensation de la résistance de sortie USB

Ces travaux apportent donc une contribution à la problématique de calibration sur puce des interfaces analogiques et mixtes. Par rapport à des approches reposant sur des composants externes, des blocs de mesure de température ou des calibrations numériques plus complexes [Balabanyan et Durgaryan 2016; Malkov et al. 2011; Melikyan et al. 2013; Park et al. 2024; Yan et al. 2018], la solution proposée privilégie une architecture intégrée et majoritairement analogique, fondée sur des références de courant et de tension et sur une copie représentative du buffer. Malgré cette simplicité de principe, les simulations montrent un Cpk supérieur à 2 sur l'ensemble des coins PVT étudiés.

La suite du travail consiste à poursuivre la généralisation du principe de compensation. Le même raisonnement, fondé sur un couple $I_{\text{REF}}/V_{\text{REF}}$ et sur une copie du circuit à calibrer, peut être appliqué à d'autres résistances d'interface ou blocs analogiques soumis aux dispersions PVT. Cette thèse ouvre ainsi une voie plus large vers des stratégies de calibration intégrée, peu intrusives, capables d'améliorer le rendement industriel des fonctions analogiques/mixtes embarquées dans les microcontrôleurs.

4.7 Travaux annexes sur les circuits analogiques et mixtes à temps discret

En complément de mes axes de recherche principaux, j'ai également contribué à des travaux plus ponctuels relevant de la conception de circuits analogiques et mixtes à temps discret. Ces contributions portent notamment sur les circuits à capacités commutées [Leduc et al. 2022; Leduc et al. 2023] et sur des architectures de conversion sigma-delta.

Dans ce cadre, la contribution la plus aboutie concerne la conception d'un DAC sigma-delta intégrant une technique de « tonebusting » destinée à réduire les raies parasites [Leduc et al. 2025]. Ce travail propose une architecture originale de conversion numérique-analogique fondée sur un modulateur sigma-delta numérique du premier ordre, avec l'objectif de réduire la complexité analogique du convertisseur tout en conservant de bonnes performances. L'idée centrale consiste à supprimer les raies parasites généralement observées avec ce type de modulateur, grâce à l'injection volontaire d'un bruit de forte amplitude pour casser les comportements périodiques indésirables (dithering). Une architecture en modulateurs jumeaux permet ensuite d'éliminer le bruit introduit tout en préservant le signal utile. La Figure 115 présente l'architecture finale du DAC. Elle montre que la conversion repose sur une chaîne simple, constituée d'un modulateur numérique 1 bit suivi d'un front-end analogique réduit à l'essentiel. Cette contribution repose sur un choix clair : reporter un maximum de complexité du côté numérique et limiter la partie analogique à un rôle de reconstruction. Cette orientation est particulièrement intéressante dans les technologies CMOS avancées, pour lesquelles la compacité et la robustesse du numérique constituent un avantage décisif.

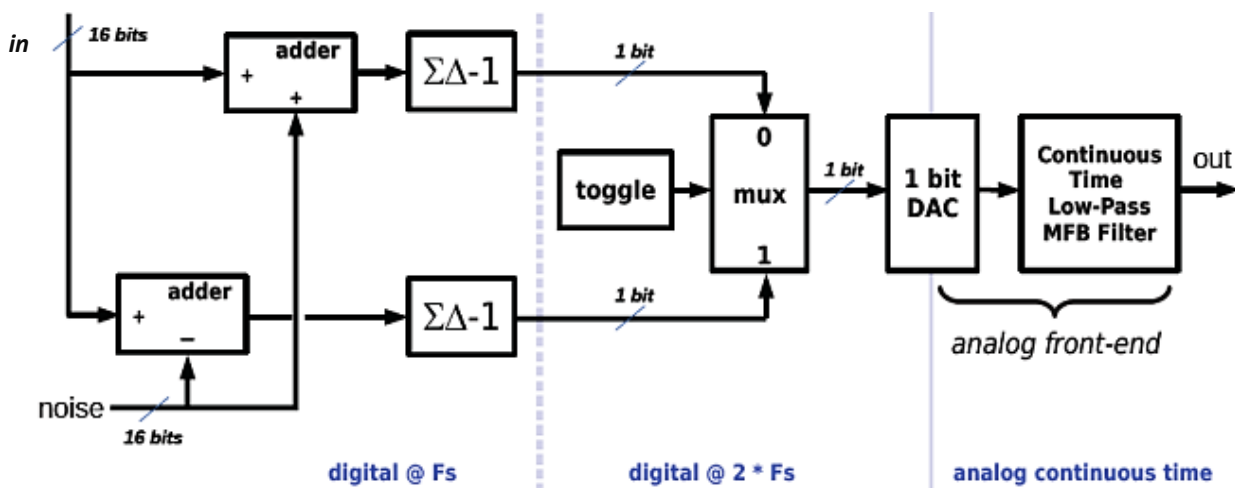


Figure 115. Architecture finale du DAC

La Figure 116 met ensuite en évidence le résultat principal sur le plan spectral. Elle compare le spectre de sortie sans filtrage, puis après filtrage analogique passe-bas d'ordre 2 et d'ordre 3. Elle montre que le filtrage analogique permet de compléter efficacement le travail effectué en amont par la technique de tonebusting : les composantes parasites sont fortement atténuées et le spectre du signal utile est nettement clarifié.

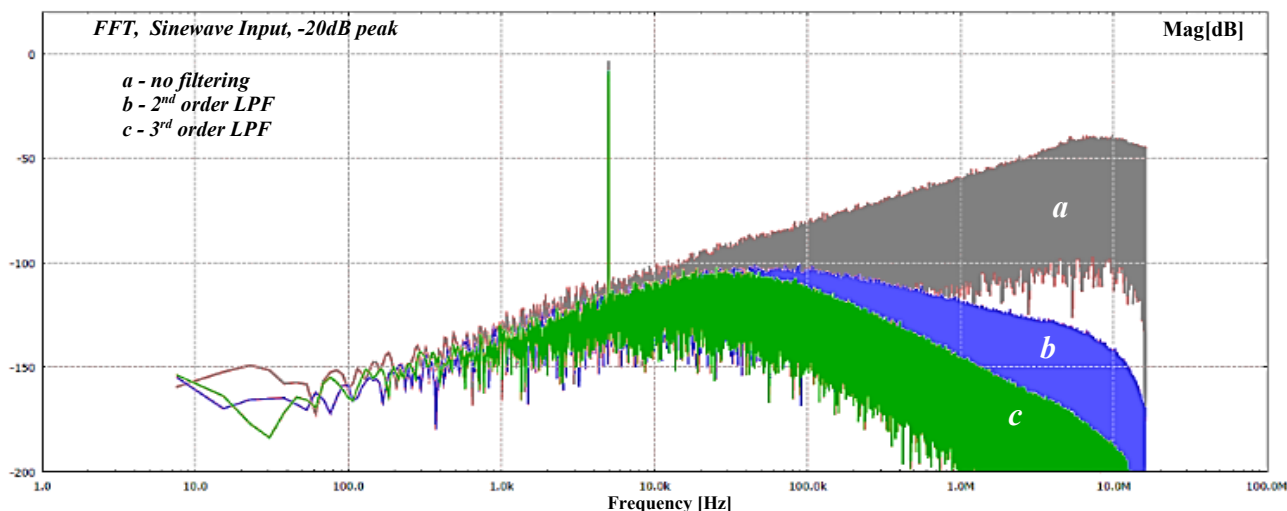


Figure 116. Spectre de sortie du DAC sans filtrage et après filtrage analogique passe-bas d'ordre 2 et 3

Enfin, la Figure 117 synthétise les performances globales du DAC en présentant l'évolution du TSNR (Total Signal-to-Noise Ratio) en fonction de l'amplitude du signal d'entrée, pour une sinusoïde de 5 kHz. Elle montre que la qualité de conversion augmente avec le niveau du signal, jusqu'à atteindre environ 78 dB. Cette valeur correspond à un ENOB (Effective Number Of Bits) de l'ordre de 13 bits effectifs sur une bande passante de 16 kHz. La Figure 117 confirme ainsi que la suppression des raies parasites ne dégrade pas significativement les performances globales du convertisseur.

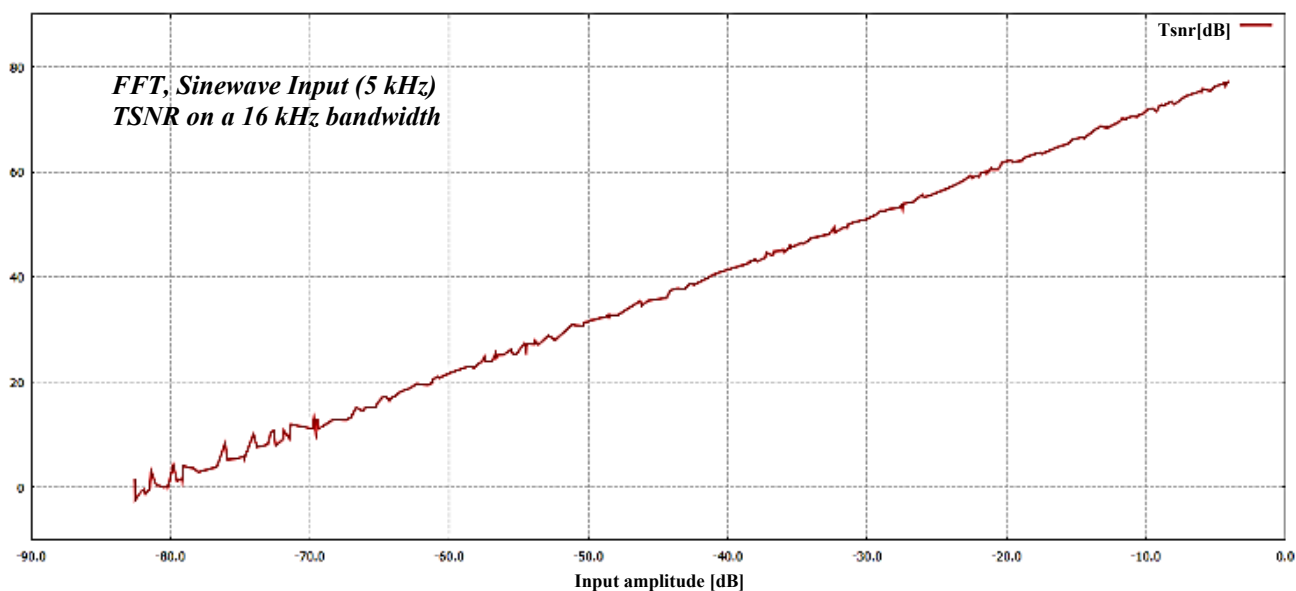


Figure 117. TSNR du DAC, pour une entrée sinusoïdale de 5 kHz

Cette contribution met ainsi en avant plusieurs résultats importants : une architecture majoritairement numérique, un étage analogique minimal, une réduction efficace des raies parasites, et un niveau de performance de l'ordre de 13 bits effectifs sur une bande passante de 16 kHz. Ces travaux annexes prolongent ainsi mes recherches en conception analogique et mixte, en illustrant un même souci de simplicité architecturale, de robustesse et d'efficacité de mise en œuvre.

5 CONCLUSION ET PERSPECTIVES

Ce mémoire revient sur un parcours de recherche centré sur une même question : comment concevoir des systèmes électroniques utiles et sobres, capables d'apporter de l'intelligence au plus près du terrain. Mes travaux ont d'abord porté sur des systèmes embarqués pour la santé connectée, avant de se recentrer progressivement, depuis mon arrivée à Polytech'Lab, sur la conception de circuits intégrés analogiques et mixtes pour l'IoT et l'IA embarquée. Cette évolution ne correspond pas à une rupture, mais à un déplacement progressif des objets étudiés : partir des usages et des contraintes système, puis remonter vers les briques matérielles qui conditionnent la consommation et la compacité.

Mes premiers travaux, menés au LAAS-CNRS, ont porté sur le développement de systèmes embarqués destinés au suivi de personnes âgées, dans une logique de prévention et d'aide au maintien à domicile. Ils m'ont conduit à concevoir deux dispositifs originaux, un patch électronique pour la surveillance de patients dépendants et une semelle connectée pour le suivi de patients fragiles. Au-delà de la réalisation matérielle, ces travaux m'ont permis de développer une approche complète de co-conception système, associant capteurs, électronique embarquée, traitement du signal, algorithmes, validation en conditions d'usage, réseaux de capteurs et récupération d'énergie. Ils ont aussi fait émerger un fil conducteur centré sur les contraintes de consommation et d'intégration, ainsi que sur l'attention portée aux usages.

À Polytech'Lab, ce fil conducteur s'est poursuivi dans le champ de la microélectronique. Mes travaux se sont structurés autour de la **conception de circuits analogiques et RF sobres, en technologie UTBB-FDSOI 28 nm, en exploitant la grille arrière comme levier de conception**. Le manuscrit met ainsi en évidence **trois contributions principales**, qui s'organisent autour de ce levier :

- **conception de cellules analogiques** dont le point de fonctionnement est stabilisé par rétroaction afin de réduire la dépendance aux effets de canal court et d'améliorer les performances ;
- **conception d'une architecture de CDR** pour communications IoT en mode rafale, privilégiant simplicité, faible consommation, compacité et rapidité de capture ;
- **conception d'un RNAA** fondé sur des poids numériques et des miroirs commutés, réduisant fortement le coût par synapse et ouvrant une voie crédible vers une IA embarquée basse consommation.

Dans ces circuits, **l'exploitation de la grille arrière apparaît comme un moyen d'action sur la robustesse, la consommation et la compacité des fonctions proposées**. Elle constitue à ce titre une contribution forte de mes travaux de recherche.

Ces travaux ont été complétés dans le cadre du partenariat avec STMicroelectronics autour des microcontrôleurs. Les recherches sur l'oscillateur à quartz 32.768 kHz ont permis d'aborder des questions centrales pour l'industrialisation de circuits analogiques sobres : modélisation réaliste des capacités parasites dans une architecture de Pierce, élargissement de la fenêtre de transconductance admissible, conception d'un amplificateur à deux étages et exploration d'architectures multi-références adaptées à la diversité des quartz et aux contraintes de robustesse.

Dans le prolongement de cette logique, les travaux en cours sur la calibration sur puce de la résistance de sortie d'un port USB 2.0 en technologie FDSOI 18 nm visent à concevoir des stratégies de calibration intégrée peu intrusives, robustes et compatibles avec des exigences industrielles de rendement.

Dans l'ensemble, **ces travaux sont centrés sur la robustesse, la consommation et l'intégration des circuits et systèmes pour l'IoT et l'IA embarquée, en lien avec des applications pour le bâtiment intelligent.** Ce positionnement trouve aujourd'hui un cadre favorable au sein de Polytech'Lab, dont les activités se structurent autour des enjeux de la ville intelligente, avec une articulation forte entre microélectronique, capteurs, communications, informatique, bâtiment et ingénierie. **Dans ce contexte, j'envisage de poursuivre mes travaux selon deux axes de recherche complémentaires.**

Le premier axe concerne la microélectronique frugale et robuste pour les nœuds communicants de l'IoT. Il vise à prolonger, dans le cadre de l'UTBB-FDSOI, la conception de circuits analogiques, RF et mixtes sobres, capables de tolérer les dispersions PVT, le mismatch, le bruit et les contraintes d'intégration. Cette orientation s'appuie sur l'exploitation du body-biasing comme levier de conception, notamment pour l'auto-calibration et le développement de fonctions de communication sobres. **Il s'agira de développer, pour ces fonctions IoT, un ensemble de briques et de méthodes cohérent,** dans une logique système associant capteur, traitement local, communication et gestion énergétique.

Le second axe porte sur l'intelligence embarquée basse consommation pour le bâtiment et la ville intelligents. Dans le prolongement direct des travaux menés sur le RNAA, il vise à approfondir le traitement local de l'information sur des nœuds à très faible budget énergétique, en particulier pour des applications de détection d'événements, de désagrégation de consommation et de détection d'anomalies. **Il s'agira de proposer de nouvelles briques analogiques, mais aussi de les intégrer dans des chaînes de traitement complètes,** depuis la modélisation comportementale et l'évaluation hardware-aware jusqu'à des cas d'usage réalistes.

Enfin, **je souhaite poursuivre le renforcement des liens entre recherche, formation et partenariat, afin de contribuer au développement, à Polytech'Lab, d'un axe identifiable sur l'électronique embarquée basse consommation pour l'IoT et l'IA, depuis les briques microélectroniques robustes jusqu'aux systèmes intelligents frugaux.** Cette perspective repose notamment sur la poursuite de l'encadrement doctoral, le développement de collaborations industrielles et la mise en cohérence de mes activités d'enseignement et de recherche.

6 REFERENCES

- ABRACON. 2020. ABS06. <https://www.mouser.fr/datasheet/2/3/ABS06-1775069.pdf>
- AHN, J.-H., CHOI, H.-S., KIM, J.N., et al. “On-chip adaptive matching learning with charge-trap synapse device and ReLU activation circuit”. *Solid-State Electronics*, vol. 186, article 108177, décembre 2021. <https://doi.org/10.1016/j.sse.2021.108177>
- ALIKHANI, A., et AHMADI, A. “A novel current-mode four-quadrant CMOS analog multiplier/divider”. *AEU - International Journal of Electronics and Communications*, vol. 66, n° 7, pp. 581–586, juillet 2012. <https://doi.org/10.1016/j.aeue.2011.11.012>
- ARNAUD, F., PLANES, N., WEBER, O., et al. “Switching energy efficiency optimization for advanced CPU thanks to UTBB technology”. *IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, États-Unis, 2012, pp. 3.2.1–3.2.4. <https://doi.org/10.1109/IEDM.2012.6478970>
- ASENOV, A., BROWN, A.R., ROY, G., et al. “Simulation of statistical variability in nano-CMOS transistors using drift-diffusion, Monte Carlo and non-equilibrium Green’s function techniques”. *Journal of Computational Electronics*, vol. 8, n° 3–4, pp. 349–373, 2009. <https://doi.org/10.1007/s10825-009-0292-0>
- ASENOV, A., ROY, S., BROWN, A.R., et al. “Advanced simulation of statistical variability and reliability in nano CMOS transistors”. *IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, États-Unis, 2008, pp. 1–4. <https://doi.org/10.1109/IEDM.2008.4796712>
- ASL, S.Z., MUKHERJEE, S., CHEN, W., et al. “A $1.55 \times 0.85 \text{ mm}^2$, 3 ppm, $1.0 \mu\text{A}$, 32.768 kHz MEMS-based oscillator”. *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, San Francisco, CA, États-Unis, 2014, pp. 226–227. <https://doi.org/10.1109/ISSCC.2014.6757411>
- AUDEBERT, P., DE FOUCAULD, E., LEDUC, Y., JACQUEMOD, G., WEI, Z., et LORENZINI, P. Circuit électronique élémentaire pour étage d’amplification ou de recopie de signaux analogiques. Brevet français CEA-LETI et UNS, 6 avril 2017, WO2017055709 A1, PCT/FR2016/052394, étendu Europe 2016784226, extension USA, 6 mars 2018, US 15757972. <https://patents.google.com/patent/WO2017055709A1/en>
- BALABANYAN, A.H., et DURGARYAN, A.A. “Fully integrated PVT detection and impedance self-calibration system design”. *XXV International Scientific Conference Electronics (ET)*, Sozopol, Bulgarie, 2016, pp. 1–4.
- BERAUD-SUDREAU, Q., BEGUERET, J.-B., MAZOUFFRE, O., et al. “SiGe Clock and Data Recovery System Based on Injection-Locked Oscillator for 100 Gbit/s Serial Data Link”. *IEEE Journal of Solid-State Circuits*, vol. 49, n° 9, pp. 1895–1904, septembre 2014. <https://doi.org/10.1109/JSSC.2014.2317151>
- BIKKI, P., et KARUPPANAN, P. “SRAM Cell Leakage Control Techniques for Ultra Low Power Application: A Survey”. *Circuits and Systems*, vol. 8, n° 2, pp. 23–52, 2017. <https://doi.org/10.4236/cs.2017.82003>
- BLOCH, F., GAUTIER, V., NOURY, N., et al. “Evaluation under real-life conditions of a stand-alone fall detector for the elderly subjects”. *Annals of Physical and Rehabilitation Medicine*, vol. 54, n° 6, pp. 391–398, 2011. <https://doi.org/10.1016/j.rehab.2011.07.962>
- BONHOMME, S., CAMPO, E., ESTÈVE, D., et GUENNEC, J. “An extended PROSAFE platform for elderly monitoring at home”. *Annual International Conference of the IEEE Engineering in Medicine and Biology Society*, Lyon, France, 2007, pp. 4056–4059. <https://doi.org/10.1109/IEMBS.2007.4353224>
- BORJKHANI, H., SHEIKHAEI, S., et BORJKHANI, M. “Low Power Current Starved Sub-Harmonic Injection Locked Ring Oscillator”. *22nd Iranian Conference on Electrical Engineering (ICEE)*, Téhéran, Iran, 2014, pp. 38–42. <https://doi.org/10.1109/IranianCEE.2014.6999499>
- BRUN, M. 2025a. Étude des principes d’autoadaptation d’un oscillateur à quartz garantissant un démarrage correct et indépendant des composants extérieurs. Thèse de doctorat, Université Côte d’Azur, Nice. <https://theses.fr/2025COAZ5061>
- BRUN, M., LE FEVRE, P., JACQUEMOD, G., et CHARLON, Y. “Comparative Analysis of a Novel and a Conventional Modeling Approach for Parasitic Capacitances Integration in a Quartz Crystal Oscillator”. *Joint Conference of the European Frequency and Time Forum and IEEE International Frequency Control Symposium (EFTF/IFCS)*, Querétaro, Mexique, 2025b, pp. 1–4. <https://doi.org/10.1109/EFTF/IFCS64367.2025.11194434>
- BRUN, M., JACQUEMOD, G., CHARLON, Y., GAMET, A., et LE FEVRE, P. “A Two-Stage Amplifier in a Low Power 32.768 kHz Quartz Crystal Oscillator”. *38th Conference on Design of Circuits and Integrated Systems (DCIS)*, Barcelone, Espagne, 2023, pp. 1–6. <https://doi.org/10.1109/DCIS58620.2023.10335971>
- CAMPO, E., BRULIN, D., CHARLON, Y., et BOUZBIB, E. “Activity Recognition by Classification Method for Weight Variation Measurement with an Insole Device for Monitoring Frail People”. Dans *Smart Homes and Health Telematics, Designing a Better Future: Urban Assisted Living*, Springer International Publishing, Cham, 2018, pp. 73–84. https://doi.org/10.1007/978-3-319-94523-1_7
- CAMPO, E., VAL, T., et CHAN, M. “A Multisensor Communication Network Applied to the Monitoring of the Elderly”. *IFAC Proceedings Volumes*, vol. 30, n° 7, pp. 439–443, 1997. [https://doi.org/10.1016/S1474-6670\(17\)43304-0](https://doi.org/10.1016/S1474-6670(17)43304-0)

- CARTER, R., MAZURIER, J., PIRRO, L., et al. “22 nm FDSOI technology for emerging mobile, Internet-of-Things, and RF applications”. *IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, États-Unis, 2016, pp. 2.2.1–2.2.4. <https://doi.org/10.1109/IEDM.2016.7838029>
- CATHELIN, A. “Fully Depleted Silicon on Insulator Devices CMOS: The 28-nm Node Is the Perfect Technology for Analog, RF, mmW, and Mixed-Signal System-on-Chip Integration”. *IEEE Solid-State Circuits Magazine*, vol. 9, n° 4, pp. 18–26, automne 2017. <https://doi.org/10.1109/MSSC.2017.2745738>
- CHAN, M., ESTÈVE, D., FOURNIOLS, J.-Y., ESCRIBA, C., et CAMPO, E. “Smart wearable systems: Current status and future challenges”. *Artificial Intelligence in Medicine*, vol. 56, n° 3, pp. 137–156, novembre 2012. <https://doi.org/10.1016/j.artmed.2012.09.003>
- CHARLON, Y. 2014. Conception de dispositifs électroniques portés pour le suivi de l'état de santé des personnes âgées. Thèse de doctorat, Université Toulouse III - Paul Sabatier, Toulouse. <https://theses.hal.science/tel-01079731>
- CHARLON, Y., BETTAHAR, F., et CAMPO, E. “[Design of a smart shoe insole to monitor frail older people](#)”. *International Conference on Modern Well-being for Societies and Territories (LivInWell)*, Sainte-Feyre, France, 2013a, 6 p.
- CHARLON, Y., BOURENNANE, I. “Feasibility test of a smart shoe insole self-powered”. *Journées Nationales sur la Récupération et le Stockage d'Énergie (JNRSE)*, Toulouse, France, 2013b, 2 p.
- CHARLON, Y., BOURENNANE, W., BETTAHAR, F., et CAMPO, E. “Activity monitoring system for elderly in a context of smart home”. *IRBM*, vol. 34, n° 1, pp. 60–63, février 2013c. <https://doi.org/10.1016/j.irbm.2012.12.014>
- CHARLON, Y., CAMPO, E., et BRULIN, D. “Design and evaluation of a smart insole: Application for continuous monitoring of frail people at home”. *Expert Systems with Applications*, vol. 95, pp. 57–71, avril 2018. <https://doi.org/10.1016/j.eswa.2017.11.024>
- CHARLON, Y., FOURTY, N., BOURENNANE, W., et CAMPO, E. “Design and evaluation of a device worn for fall detection and localization: Application for the continuous monitoring of risks incurred by dependents in an Alzheimer's care unit”. *Expert Systems with Applications*, vol. 40, n° 18, pp. 7316–7330, décembre 2013d. <https://doi.org/10.1016/j.eswa.2013.07.031>
- CHARLON, Y., FOURTY, N., et CAMPO, E. “A Telemetry System Embedded in Clothes for Indoor Localization and Elderly Health Monitoring”. *Sensors*, vol. 13, n° 9, pp. 11728–11749, septembre 2013e. <https://doi.org/10.3390/s130911728>
- CHARLON, Y., JACQUEMOD, G., JOUNI, H., et HARB, A. “New implementation of analog artificial neural network for breast cancer classification”. *International Conference on Artificial Intelligence, Computer, Data Sciences and Applications (ACDSA)*, Mahé, Seychelles, 2024, pp. 1–6. <https://doi.org/10.1109/ACDSA59508.2024.10467399>
- CHARLON, Y., PIAU, A., BRULIN, D., et CAMPO, E. “Design and Evaluation of a Connected Insole to Support Healthy Aging of Frail Patients at Home”. *Wireless Sensor Network*, vol. 11, n° 5, pp. 67–80, mai 2019. <https://doi.org/10.4236/wsn.2019.115005>
- CHEN, Y., BABAIE, M., et STASZEWSKI, R.B. “A 350-mV 2.4-GHz quadrature oscillator with nearly instantaneous start-up using series LC tanks”. *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Séoul, Corée du Sud, 2017, pp. 104–108. <https://doi.org/10.1109/ASSCC.2017.8240227>
- CHOI, R.Y., COYNER, A.S., KALPATHY-CRAMER, J., et al. “Introduction to Machine Learning, Neural Networks, and Deep Learning”. *Translational Vision Science & Technology*, vol. 9, n° 2, article 14, 2020. <https://pmc.ncbi.nlm.nih.gov/articles/PMC7347027/>
- CHOO, M.-S., PARK, K., KO, H.-G., et al. “A 10-Gb/s, 0.03-mm², 1.28-pJ/bit Half-Rate Injection-Locked CDR With Path Mismatch Tracking Loop in a 28-nm CMOS Technology”. *IEEE Journal of Solid-State Circuits*, vol. 54, n° 10, pp. 2812–2822, octobre 2019. <https://doi.org/10.1109/JSSC.2019.2917833>
- CLERC, S., DI GILIO, T., et CATHELIN, A., éd. 2020. The Fourth Terminal: Benefits of Body-Biasing Techniques for FDSOI Circuits and Systems. Springer International Publishing, Cham. <https://doi.org/10.1007/978-3-030-39496-7>
- COLINGE, J.-P., éd. 2008. FinFETs and Other Multi-Gate Transistors. Springer US, Boston, MA. <https://doi.org/10.1007/978-0-387-71752-4>
- CORSONELLO, P., PERRI, S., et FRUSTACI, F. “Exploring well configurations for voltage level converter design in 28 nm UTBB FDSOI technology”. *IEEE International Conference on Computer Design (ICCD)*, New York, NY, États-Unis, 2015, pp. 499–504. <https://doi.org/10.1109/ICCD.2015.7357157>
- COUSO, C., MARTIN-MARTINEZ, J., PORTI, M., et NAFRÍA, M. “Performance and Power Consumption Trade-Off in UTBB FDSOI Inverters Operated at NTV for IoT Applications”. *IEEE Journal of the Electron Devices Society*, vol. 6, pp. 55–62, 2018. <https://doi.org/10.1109/JEDS.2017.2768658>
- DA SILVA, I.N., HERNANE SPATTI, D., ANDRADE FLAUZINO, R., et al. “Multilayer Perceptron Networks”. Dans *Artificial Neural Networks: A Practical Course*, Springer International Publishing, Cham, 2017, pp. 55–115. <https://link.springer.com/book/10.1007/978-3-319-43162-8>

- DIX, J., HOLLEMAN, J., et BLALOCK, B.J.** “Programmable Energy-Efficient Analog Multilayer Perceptron Architecture Suitable for Future Expansion to Hardware Accelerators”. *Journal of Low Power Electronics and Applications*, vol. 13, n° 3, article 47, **2023**. <https://doi.org/10.3390/jlpea13030047>
- DOLT, D., LIVINGSTON, Q., LIU, T., et al.** “SEE Sensitivity of a 16 GHz LC-Tank VCO in a 22 nm FinFET Technology”. *IEEE International Symposium on Circuits and Systems (ISCAS)*, Austin, TX, États-Unis, **2022**, pp. 254–257. <https://doi.org/10.1109/ISCAS48785.2022.9937540>
- FOURTY, N., CHARLON, Y., et CAMPO, E.** “Embedded wireless system for pedestrian localization in indoor environments”. *Sensors & Transducers Journal*, vol. 14-2, Special Issue, pp. 211–227, février **2012**. https://sensor-sportal.com/HTML/ST_JOURNAL/vol_14-2.html
- FRIED, L.P., TANGEN, C.M., WALSTON, J., et al.** “Frailty in older adults: evidence for a phenotype”. *The Journals of Gerontology. Series A, Biological Sciences and Medical Sciences*, vol. 56, n° 3, pp. M146–M156, mars **2001**. <https://doi.org/10.1093/gerona/56.3.M146>
- GALY, Ph., DEHAN, P., JIMENEZ, J., et HEITZ, B.** “Preliminary results on low power sigmoid neuron transistor response in 28 nm high-k metal gate Fully Depleted SOI technology”. *Solid-State Electronics*, vol. 89, pp. 17–21, novembre **2013**. <https://doi.org/10.1016/j.sse.2013.06.002>
- GENOT, B.P.A.** **2010**. “Multifunctional analysis system for analyzing mobile/immobile liquid e.g. wine, has electronic cards for controlling photoemitters, where photoemitter of wavelength centered in near infrared measures turbidity and nephelometry”. Brevet FR2939200A1. https://worldwide.espacenet.com/publicationDetails/biblio?FT=D&date=20100604&DB=&locale=en_EP&CC=FR&NR=2939200A1&KC=A1&ND=4
- GRIFFITH, D., RØINE, P.T., MURDOCK, J., et SMITH, R.** “A 190 nW 33 kHz RC oscillator with $\pm 0.21\%$ temperature stability and 4 ppm long-term stability”. *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, San Francisco, CA, États-Unis, **2014**, pp. 300–301. <https://doi.org/10.1109/ISSCC.2014.6757443>
- HAN, P.-S., et CHOI, W.-Y.** “10 Gbps injection-locked CDR with a simple bit transition detector in 0.18 μm CMOS technology”. *IEICE Electronics Express*, vol. 6, n° 1, pp. 35–39, **2009**. <https://doi.org/10.1587/elex.6.35>
- HAO, B., WANG, Z., ZHANG, J., et al.** “A Low-Noise High-Robust LC-VCO Based on 22 nm FD-SOI Process”. *7th International Conference on Integrated Circuits and Microsystems (ICICM)*, Nanjing, Chine, **2022**, pp. 166–170. <https://doi.org/10.1109/ICICM56102.2022.10011231>
- HART, G.W.** “Nonintrusive appliance load monitoring”. *Proceedings of the IEEE*, vol. 80, n° 12, pp. 1870–1891, décembre **1992**. <https://doi.org/10.1109/5.192069>
- HSIAO, K.-J.** “A 1.89 nW/0.15 V self-charged XO for real-time clock generation”. *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, San Francisco, CA, États-Unis, **2014**, pp. 298–299. <https://doi.org/10.1109/ISSCC.2014.6757442>
- HSIEH, M., et SOBELMAN, G.E.** “Architectures for multi-gigabit wire-linked clock and data recovery”. *IEEE Circuits and Systems Magazine*, vol. 8, n° 4, pp. 45–57, **2008**. <https://doi.org/10.1109/MCAS.2008.930152>
- HU, C.** “New sub-20 nm transistors — Why and how”. *48th ACM/EDAC/IEEE Design Automation Conference (DAC)*, San Diego, CA, États-Unis, **2011**, pp. 460–463. <https://doi.org/10.1145/2024724.2024832>
- HUQ, S.M.I., BAROI, O.L., SHIHAB, Sk.A., et BISWAS, S.N.** “Comparative Study and Design of Current Starved Ring Oscillators in 16 nm Technology”. *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, n° 4, pp. 1098–1102, avril **2021**. <https://doi.org/10.1109/TCSII.2020.3027897>
- IEEE**, éd. **2021**. 2414-2020 - IEEE Standard for Jitter and Phase Noise. IEEE. <https://doi.org/10.1109/IEEESTD.2021.9364950>
- JACQUEMOD, G., CHARLON, Y., WEI, Z., LEDUC, Y., et LORENZINI, P.** “Application de la technologie FDSOI pour la conception de nouvelles topologies de circuits analogiques et mixtes”. *J3eA*, vol. 18, article 1021, **2019**. <https://doi.org/10.1051/j3ea/20191021>
- JACQUEMOD, G., DE FOUCAULD, E., LEDUC, Y., FONSECA, A., et LORENZINI, P.** Procédé et dispositif d'autocalibration de circuits multigrilles. Brevet français UNS et CEA-LETI, 10 avril **2015**, FRA 1553096, étendu Europe, 8 avril **2016**, 16164459.6-1810, extension USA, 13 octobre **2016**, US20160301365. <https://patents.google.com/patent/US20160301365A1/en>
- JIN, J., KIM, J., KIM, H., et al.** “A 4.0–10.0-Gb/s Referenceless CDR with Wide-Range, Jitter-Tolerant, and Harmonic-Lock-Free Frequency Acquisition Technique”. *IEEE 44th European Solid State Circuits Conference (ESSCIRC)*, Dresde, Allemagne, **2018**, pp. 146–149. <https://doi.org/10.1109/ESSCIRC.2018.8494234>
- JONES, H.H.** **2014**. Why Migration to 20 nm Bulk CMOS and 16/14 nm FinFETs is Not Best Approach for Semiconductor Industry. International Business Strategies Report.
- JOUNI, H.** **2018**. Cellules analogiques CMOS pour réseaux de neurones. Application à la classification des cellules cancéreuses dans le sein. Thèse de doctorat, Université Côte d’Azur, Nice. <https://theses.fr/2018AZUR4247>
- JOUNI, H., HARB, A., JACQUEMOD, G., et LEDUC, Y.** “Design and specification of analog artificial neural network”. *SN Applied Sciences*, vol. 1, n° 11, article 1508, **2019**. <https://doi.org/10.1007/s42452-019-1243-4>

- KESTER, W. 2009.** Converting Oscillator Phase Noise to Time Jitter. Analog Devices Tutorial MT-008.
- KEYSIGHT. 2020.** Impedance Measurement Handbook. Keysight Technologies.
- KHAKIFIROOZ, A., CHENG, K., LIU, Q., et al.** “Extremely thin SOI for system-on-chip applications”. *IEEE Custom Integrated Circuits Conference (CICC)*, San Jose, CA, États-Unis, **2012**, pp. 1–4. <https://doi.org/10.1109/CICC.2012.6330618>
- KUHN, K. 2008.** Managing Process Variation in Intel’s 45 nm CMOS Technology. Intel Technology Journal.
- KUO, W.-H., CHEN, Y.-S., JEN, G.-T., et LU, T.-W.** “An intelligent positioning approach: RSSI-based indoor and outdoor localization scheme in Zigbee networks”. *International Conference on Machine Learning and Cybernetics*, Qingdao, Chine, **2010**, pp. 2754–2759. <https://doi.org/10.1109/ICMLC.2010.5580783>
- LECA, J.-P. 2012.** Modélisation et réduction des émissions électromagnétiques dans les microcontrôleurs. Thèse de doctorat, Université Nice Sophia Antipolis, Nice. <https://theses.fr/2012NICE4116>
- LEDUC, Y., CHARLON, Y., MAO, Y., ALBINET, X. et JACQUEMOD, G.,** “Reasoned Modeling of Switched Capacitors Circuits - Preparation and Simulation”, *FETCH*, Les Houches, France, **2022**.
- LEDUC, Y., JACQUEMOD, G., CHARLON, Y., MEQUIN, J., et ALBINET, X.,** “Reasoned Modeling of Switched Capacitors Circuits – Techniques of Simulation”, *FETCH*, Lavez-les-Bains, Switzerland, **2023**.
- LEDUC, Y., JACQUEMOD, G., CHARLON, Y., et MULLER, F.** “A ‘Tonebusting’ Technique to Build a DAC from a First-Order Digital $\Sigma\Delta$ Modulator”. *Journal of Electronic Research and Application*, vol. 9, n° 4, pp. 8–13, **2025**. <https://doi.org/10.26689/jera.v9i4.9379>
- LEE, H.-W., KO, K.-M., et KANG, J.-K.** “An 8–26 Gb/s Single Loop Reference-less CDR with Unrestricted Frequency Acquisition”. *18th International SoC Design Conference (ISOC)*, Jeju, Corée du Sud, **2021**, pp. 45–46. <https://doi.org/10.1109/ISOC53507.2021.9613875>
- LEITE, T.F. de P. 2019.** FD-SOI technology opportunities for more energy efficient asynchronous circuits. Thèse de doctorat, Université Grenoble Alpes, Grenoble. <https://theses.hal.science/tel-02295530>
- MA, Z., JACQUEMOD, G., et CHARLON, Y.** “New Multiplier and Input Layer in Current Mode for Analog Artificial Neural Networks”. *IEEE 16th Latin America Symposium on Circuits and Systems (LASCAS)*, Bento Gonçalves, Brésil, **2025**, pp. 1–5. <https://doi.org/10.1109/LASCAS64004.2025.10966236>
- MALKOV, A., VASIOUNIN, D., et SEMENOV, O.** “A Review of PVT Compensation Circuits for Advanced CMOS Technologies”. *Circuits and Systems*, vol. 2, n° 3, pp. 162–169, **2011**. <https://doi.org/10.4236/cs.2011.23024>
- MAO, Y. 2023.** New generation of frequency generators using self-calibration of the transistor back gate in FDSOI technology. Thèse de doctorat, Université Côte d’Azur, Nice. <https://theses.hal.science/tel-04448136>
- MAO, Y., CHARLON, Y., LEDUC, Y., et JACQUEMOD, G.** “LC Tank Oscillator Based on New Negative Resistor in FDSOI Technology”. *Journal of Low Power Electronics and Applications*, vol. 14, n° 1, article 8, **2024a**. <https://doi.org/10.3390/jlpea14010008>
- MAO, Y., CHARLON, Y., LEDUC, Y., et JACQUEMOD, G.** “A Low Power Injection-Locked CDR Using 28 nm FDSOI Technology for Burst-Mode Applications”. *Journal of Low Power Electronics and Applications*, vol. 14, n° 2, article 22, **2024b**. <https://doi.org/10.3390/jlpea14020022>
- MELIKYAN, V., BALABANYAN, A., HAYRAPETYAN, A., et MELIKYAN, N.** “Receiver/transmitter input/output termination resistance calibration method”. *IEEE XXXIII International Scientific Conference Electronics and Nanotechnology (ELNANO)*, Kiev, Ukraine, **2013**, pp. 126–130. <https://doi.org/10.1109/ELNANO.2013.6552085>
- MOHAMED, A.R., QI, L., et WANG, G.** “A power-efficient and re-configurable analog artificial neural network classifier”. *Microelectronics Journal*, vol. 111, article 105022, **2021**. <https://doi.org/10.1016/j.mejo.2021.105022>
- MONFRAY, S., et SKOTNICKI, T.** “UTBB FDSOI: Evolution and opportunities”. *Solid-State Electronics*, vol. 125, pp. 63–72, **2016**. <https://doi.org/10.1016/j.sse.2016.07.003>
- MOORE, G.E.** “Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp. 114 ff.”. *IEEE Solid-State Circuits Society Newsletter*, vol. 11, n° 3, pp. 33–35, septembre **2006**. <https://doi.org/10.1109/N-SSC.2006.4785860>
- NADERI, A., KHOEI, A., HADIDI, K., et GHASEMZADEH, H.** “A new high speed and low power four-quadrant CMOS analog multiplier in current mode”. *AEU - International Journal of Electronics and Communications*, vol. 63, n° 9, pp. 769–775, septembre **2009**. <https://doi.org/10.1016/j.aeue.2008.06.002>
- NDK. 2003.** NX1610SA. https://www.ndk.com/images/products/catalog/c_NX1610SA_e.pdf
- NGUYEN, T.K. 2015.** Design and SoC implementation of a low cost smart home energy management system. Thèse de doctorat, Université Nice Sophia Antipolis, Nice. <https://theses.hal.science/tel-01674170>
- NGUYEN, T.K., DEKNEUVEL, E., NICOLLE, B., ZAMMIT, O., NGUYEN VAN, C., et JACQUEMOD, G.** “Event Detection and Disaggregation Algorithms for NIALM System”. *2nd International Workshop on Non-Intrusive Load Monitoring (NILM Workshop 2014)*, Austin, TX, États-Unis, **2014**, 4 p.
- PARK, P., LEE, J., et CHO, S.** “A PVT-Insensitive Sub-Ranging Current Reference Achieving 11.4 ppm/°C From -20 °C to 125 °C”. *IEEE Journal of Solid-State Circuits*, vol. 59, n° 12, pp. 4057–4067, décembre **2024**. <https://doi.org/10.1109/JSSC.2024.3450950>

- PELGROM**, M.J.M., **DUINMAIJER**, A.C.J., et **WELBERS**, A.P.G. "Matching properties of MOS transistors". *IEEE Journal of Solid-State Circuits*, vol. 24, n° 5, pp. 1433–1439, octobre **1989**. <https://doi.org/10.1109/JSSC.1989.572629>
- PEYRARD**, M. **2024**. Étude des principes d'auto-détection sur puce des parasites RLC des réseaux d'alimentation liés à l'environnement des microcontrôleurs. Thèse de doctorat, Université Côte d'Azur, Nice. <https://theses.hal.science/tel-05084714>
- PIAU**, A., **CHARLON**, Y., **CAMPO**, E., **VELLAS**, B., et **NOURHASHEMI**, F. "A Smart Insole to Promote Healthy Aging for Frail Elderly Individuals: Specifications, Design, and Preliminary Results". *JMIR Rehabilitation and Assistive Technologies*, vol. 2, n° 1, e4084, **2015**. <https://doi.org/10.2196/rehab.4084>
- PIAU**, A., **STEINMEYER**, Z., **CHARLON**, Y., et al. "A Smart Shoe Insole to Monitor Frail Older Adults' Walking Speed: Results of Two Evaluation Phases Completed in a Living Lab and Through a 12-Week Pilot Study". *JMIR mHealth and uHealth*, vol. 9, n° 7, e15641, juillet **2021**. <https://doi.org/10.2196/15641>
- PIERCE**, G.W. "Magnetostriiction Oscillators". *Proceedings of the Institute of Radio Engineers*, vol. 17, n° 1, pp. 42–88, janvier **1929**. <https://doi.org/10.1109/JRPROC.1929.221558>
- PROAKIS**, J., et **SALEHI**, M. **2008**. Digital Communications. McGraw-Hill Professional, Boston.
- QUAN**, J., **LIU**, Z., **LI**, B., et **LUO**, J. "Ultra-Low-Power Compact Neuron Circuit with Tunable Spiking Frequency and High Robustness in 22 nm FDSOI". *Electronics*, vol. 12, n° 12, article 2648, **2023**. <https://doi.org/10.3390/electronics12122648>
- QUAZZO**, L. **2022**. Improving robustness of STM32 microcontrollers subjected to impulse stress by controlling their frequency response. Thèse de doctorat, Université Côte d'Azur, Nice. <https://theses.hal.science/tel-03669957>
- RAMOND**, A. **2011**. Conception et réalisation d'une nouvelle architecture multi-entrées multi-sorties pour la gestion de micro puissance dans les systèmes autonomes. Thèse de doctorat, Université Toulouse III - Paul Sabatier, Toulouse. <https://theses.hal.science/tel-00660368>
- RAZAVI**, B. "Challenges in the design high-speed clock and data recovery circuits". *IEEE Communications Magazine*, vol. 40, n° 8, pp. 94–101, août **2002**. <https://doi.org/10.1109/MCOM.2002.1024421>
- RAZAVI**, B. "A study of injection locking and pulling in oscillators". *IEEE Journal of Solid-State Circuits*, vol. 39, n° 9, pp. 1415–1424, septembre **2004**. <https://doi.org/10.1109/JSSC.2004.831608>
- RAZAVI**, B. **2017**. Design of Analog CMOS Integrated Circuits. McGraw-Hill Education, New York, NY.
- ROY**, K., **MUKHOPADHYAY**, S., et **MAHMOODI-MEIMAND**, H. "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits". *Proceedings of the IEEE*, vol. 91, n° 2, pp. 305–327, février **2003**. <https://doi.org/10.1109/JPROC.2002.808156>
- RUFFIEUX**, D., **PENGG**, F., **SCOLARI**, N., et al. "A $3.2 \times 1.5 \times 0.8 \text{ mm}^3$, 240 nA, 1.25-to-5.5 V, 32 kHz-DTCXO RTC module with an overall accuracy of ± 1 ppm and an all-digital 0.1 ppm compensation-resolution scheme at 1 Hz". *IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, États-Unis, **2016**, pp. 208–209. <https://doi.org/10.1109/ISSCC.2016.7417980>
- SAKURAI**, T. **2006**. Fully-Depleted SOI CMOS Circuits and Technology. Springer US, Boston, MA. <https://doi.org/10.1007/978-0-387-29218-2>
- SANTOS**, R.B.D., **SOUZA**, G.A.F., et **FARIA**, L.A. "A novel four-quadrant/one-quadrant multiplier circuit". *AEU - International Journal of Electronics and Communications*, vol. 138, article 153865, **2021**. <https://doi.org/10.1016/j.aeue.2021.153865>
- SINGH**, R., et **GILL**, S.S. "Edge AI: A survey". *Internet of Things and Cyber-Physical Systems*, vol. 3, pp. 71–92, **2023**. <https://doi.org/10.1016/j.iotcps.2023.02.004>
- SINISCALCHI**, M., **SILVEIRA**, F., et **GALUP-MONTORO**, C. "Ultra-Low-Voltage CMOS Crystal Oscillators". *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 67, n° 6, pp. 1846–1856, juin **2020**. <https://doi.org/10.1109/TCSI.2020.2971110>
- SHANY**, T., **REDMOND**, S.J., **NARAYANAN**, M.R., et **LOVELL**, N.H. "Sensors-based wearable systems for monitoring of human movement and falls". *IEEE Sensors Journal*, vol. 12, n° 3, pp. 658–670, mars **2012**. <https://doi.org/10.1109/JSEN.2011.2146246>
- SHRIVASTAVA**, A., **AKELLA KAMAKSHI**, D., et **CALHOUN**, B.H. "A 1.5 nW, 32.768 kHz XTAL Oscillator Operational From a 0.3 V Supply". *IEEE Journal of Solid-State Circuits*, vol. 51, n° 3, pp. 686–696, mars **2016**. <https://doi.org/10.1109/JSSC.2015.2512382>
- VAN DYKE**, K.S. "The Piezo-Electric Resonator and Its Equivalent Network". *Proceedings of the Institute of Radio Engineers*, vol. 16, n° 6, pp. 742–764, juin **1928**. <https://doi.org/10.1109/JRPROC.1928.221466>
- VELICHKO**, A., **KORZUN**, D., et **MEIGAL**, A. "Artificial Neural Networks for IoT-Enabled Smart Applications: Recent Trends". *Sensors*, vol. 23, n° 10, article 4853, **2023**. <https://doi.org/10.3390/s23104853>
- VERT**, D., **PIGNOL**, M., **LEBRE**, V., **MOUTAYE**, E., **MALOU**, F., et **BEGUERET**, J.-B. "A 3.2 GHz Injection-Locked Ring Oscillator-Based Phase-Locked-Loop for Clock Recovery". *Electronics*, vol. 11, n° 21, article 3590, **2022**. <https://doi.org/10.3390/electronics11213590>

- VITTOZ, E. 2010.** Low-Power Crystal and MEMS Oscillators: The Experience of Watch Developments. Springer Netherlands, Dordrecht. <https://doi.org/10.1007/978-90-481-9395-0>
- VITTOZ, E.A., DEGRAUWE, M.G.R., et BITZ, S.** “High-performance crystal oscillator circuits: theory and application”. *IEEE Journal of Solid-State Circuits*, vol. 23, n° 3, pp. 774–783, juin 1988. <https://doi.org/10.1109/4.318>
- WANG, M., CHEN, Y., et YUAN, J.** “A low jitter 50 Gb/s PAM4 CDR of Receiver in 40 nm CMOS Technology”. *International Conference on Wireless Communications and Signal Processing (WCSP)*, Nanjing, Chine, 2020, pp. 349–352. <https://doi.org/10.1109/WCSP49889.2020.9299712>
- WEBER, O.** “FDSOI vs FinFET: differentiating device features for ultra low power & IoT applications”. *IEEE International Conference on IC Design and Technology (ICICDT)*, Austin, TX, États-Unis, 2017, pp. 1–3. <https://doi.org/10.1109/ICICDT.2017.7993513>
- WEI, Z. 2019.** Back-gate feedback for auto-calibration of analog and mixed cells in UTBB-FDSOI technology. Thèse de doctorat, Université Côte d’Azur, Nice. <https://theses.hal.science/tel-02493990>
- WEI, Z., JACQUEMOD, G., LORENZINI, P., et al.** “Study and Reduction of Variability in 28 nm Fully Depleted Silicon on Insulator Technology”. *Journal of Low Power Electronics*, vol. 12, n° 1, pp. 64–73, 2016. <https://dblp.org/rec/journals/jolpe/WeiJLHFL16.html>
- WEI, Z., LEDUC, Y., DE FOUCAULD, E., et JACQUEMOD, G.** “Novel building blocks for PLL using complementary logic in 28 nm UTBB-FDSOI technology”. *IEEE International New Circuits and Systems Conference (NEWCAS)*, Strasbourg, France, 2017, pp. 121–124. <https://doi.org/10.1109/NEWCAS.2017.8010120>
- WILLIAM WOLBERG, O.M. 1993.** Breast Cancer Wisconsin (Diagnostic). UCI Machine Learning Repository. <https://archive.ics.uci.edu/dataset/17>
- YAN, D.L., RAJA, M.K., et AJIKUTTIRA, A.B.** “A Gated-Oscillator based Burst-Mode Clock and Data Recovery (CDR) Circuit”. *IEEE International Workshop on Radio-Frequency Integration Technology*, Singapour, 2007, pp. 90–93. <https://doi.org/10.1109/RFIT.2007.4443928>
- YAN, Z., ZHANG, C., WANG, M., et CAO, Y.** “Calibration Mechanism for Input/Output Termination Resistance in 28 nm CMOS”. *IEEE 3rd International Conference on Integrated Circuits and Microsystems (ICICM)*, Shanghai, Chine, 2018, pp. 42–46. <https://doi.org/10.1109/ICAM.2018.8596450>
- YOON, D., JANG, T., SYLVESTER, D., et BLAAUW, D.** “A 5.58 nW Crystal Oscillator Using Pulsed Driver for Real-Time Clocks”. *IEEE Journal of Solid-State Circuits*, vol. 51, n° 2, pp. 509–522, février 2016. <https://doi.org/10.1109/JSSC.2015.2501982>
- ZHU, Y., LAN, Y., LI, H., et al.** “An Adaptive Sub-Harmonic Pulse Injection Crystal Oscillator Achieving –40 °C to 125 °C Operation”. *IEEE Solid-State Circuits Letters*, novembre 2024. <https://doi.org/10.1109/LSSC.2024.3503615>